

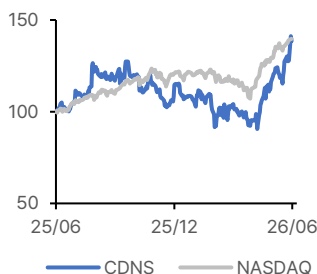
Cadence Design Systems(CDNS, NASDAQ)

2026. 06. 02

Rating

투자의견	BUY
목표주가	\$474
현재주가	\$416
상승여력	13.7%

Price Trend



B/S Data

자산 총계(2025)	\$10,153M
부채 총계(2025)	\$4,679M
자본 총계(2025)	\$5,474M

칩종팔구

VIOS 19기 김호진
VIOS 18기 이민석
VIOS 20기 안도은
VIOS 20기 홍승기

티제는 Cadence DA

AI CAPEX는 Cloud에서 Edge로 확장

AI CAPEX의 핵심은 더 이상 데이터센터 증설 자체가 아니라, 막대한 투자금이 실제로 회수될 수 있는지에 있다. Model Scaling이 GPU, HBM, 전력 인프라 투자를 이끌었다면, 앞으로의 병목은 폭증하는 추론 수요를 어떻게 처리할 것인가로 이동하고 있다. Agentic AI 확산으로 인해 Cloud만으로는 데이터센터 가동률 문제를 해결하기 어려워지고 있다. 이에 AI 연산은 Cloud에서 Edge로 확장될 가능성이 높다.

Edge AI가 여는 반도체 설계 수요 확대

Edge AI 확산은 반도체 수요를 범용 GPU 중심에서 기기·용도별 맞춤형 ASIC으로 넓힌다. 스마트폰, PC, 자동차, 로봇, 산업 장비 등 각 단말은 요구되는 연산 성능, 전력 효율, 면적, 지연시간 조건이 모두 다르다. 이에 따라 AI 반도체는 소수의 대형 칩 중심에서 응용 분야별 설계 프로젝트로 분화될 가능성이 높으며, 선단공정과 고도화된 패키징 채택도 함께 확대될 전망이다.

EDA는 AI 반도체 설계의 필수 인프라

EDA는 칩의 성능, 전력, 면적을 최적화하고 설계 오류를 사전에 줄이는 핵심 소프트웨어로, 반도체 개발 과정에서 필수적으로 사용된다. 특히 선단공정, 칩렛, HBM, 2.5D/3D 패키징 확산은 설계 난도와 검증 부담을 크게 높이고 있어, EDA 업체는 칩의 최종 양산 여부와 무관하게 설계 단계에서 안정적인 수요를 확보할 수 있다.

Top Pick: Cadence Design Systems

Cadence Design Systems (CDNS, NASDAQ)를 EDA 업종 내 최선호주로 제시한다. 동사는 아날로그·커스텀 설계, 물리 설계, 패키징, 열·전력·신호 무결성 등 시스템 단위 최적화 영역에 강점을 보유하고 있어 Edge AI 확산 수혜가 크다. 여기에 Digital Full Flow를 통한 ASIC 신규 고객 침투와 ChipStack AI Super-Agent 기반의 RTL·검증 자동화가 동사의 밸류에이션을 높일 것으로 판단한다.

구분	매출액 \$mm	영업이익 \$mm	순이익 \$mm	RPO \$bn	EPS \$	증감율 %	P/E (배)	EV/RPO (배)	Rev/Emp (배)
2023	4,090	1,251	1,041	22.1	3.87		70x	3.34x	3.65x
2024	4,641	1,351	1,055	24.4	3.89	0.6%	77x	3.44x	3.65x
2025	5,297	1,492	1,109	27.6	4.09	5.1%	76x	3.16x	3.84x
2026F	6,181	1,975	1,610	32.2	5.94	45.2%	70x	3.59x	3.93x
2027F	7,181	2,386	1,890	37.6	6.97	17.4%	60x	3.08x	4.00x

CONTENTS

I. Executive Summary

II. 산업 분석

AI 수익성 구조 점검

1. AI 발전 방향과 CAPEX 수혜 구간
2. Cloud에서 Edge로 향하는 CAPEX
3. EDA, AI 반도체 설계의 필수 인프라

III. 기업 분석

IV. 투자포인트

- 투자포인트 1. Digital Full Flow: ASIC 신규 고객 침투
- 투자포인트 2. ChipStack AI Super-Agent

V. 리스크 분석

VI. Valuation

VII. Appendix.

I. Executive Summary

AI 투자의 초점은 더 이상 단순히 데이터센터 증설에 머물지 않는다. 핵심은 막대한 AI CAPEX가 실제 매출과 투자금 회수로 이어질 수 있는지, 다음 CAPEX는 어느 밸류체인으로 향할 것인지에 있다. 특히 추론 수요가 Cloud 중심에서 Edge 영역으로 분산되면서, 반도체 설계 수요는 과거보다 더 넓고 복잡한 국면에 진입하고 있다.

AI 산업의 병목은 기술 발전 단계에 따라 이동해왔다. 대규모 LLM의 성능 경쟁은 GPU, HBM, 전력 인 프라 투자를 촉발했고, 이 과정에서 NVIDIA와 메모리 밸류체인이 가장 큰 수혜를 받았다. 그러나 향후 AI 연산 수요는 중앙 데이터센터에만 머무르기 어렵다. Agentic AI 확산으로 추론량은 급증하고 있으며, 지연시간, 전력 효율, 보안, 비용 문제를 고려하면 일부 추론은 스마트폰, PC, 자동차, 로봇, 산업 장비 등 Edge 단에서 처리될 수밖에 없다. 이는 AI 반도체 수요가 범용 GPU 중심에서 기기별, 용도별 맞춤형 칩, 즉 ASIC으로 확장된다는 의미다.

이러한 변화는 EDA 수요의 Q와 P를 동시에 끌어올린다. Q 측면에서는 Apple, Google, Amazon, Meta 등 주요 시스템 기업들의 자체 반도체 설계가 확대되고 있으며, 자동차, 로봇, 산업 장비 영역에서도 전용 AI 칩 수요가 증가하고 있다. P 측면에서는 3nm 이하 선단공정, HBM, Chiplet, 2.5D/3D 패키징 확산으로 설계 난도와 검증 부담이 급격히 높아지고 있다. 반도체 산업의 성장 축이 단순 제조에서 설계 생산성으로 이동하고 있는 것이다.

이러한 흐름에서 가장 안정적인 수혜 산업은 EDA다. 팹리스는 개별 칩의 성공 여부에 따라 실적 변동성이 크고, 파운드리와 메모리는 CAPA 투자와 ASP 사이클에 노출된다. 반면 EDA는 칩 개발 성공 여부와 관계없이 설계 단계에서 반드시 사용되는 필수적인 인프라다. 설계 프로젝트 수가 늘어날수록 라이선스 수요가 증가하고, 선단공정과 패키징 복잡도가 높아질수록 프로젝트당 EDA 사용 강도도 상승한다. 여기에 높은 고객 유지율, 반복 매출 구조, 파운드리 공정과의 강한 락인 효과를 보유하고 있어 AI 사이클 변동성 속에서도 상대적으로 안정성을 갖추고 있다.

현재 EDA 시장은 Cadence Design Systems와 Synopsys가 사실상 과점 구조를 형성하고 있다. 고객 입장에서는 설계 툴 교체 비용과 전환 리스크가 크고, 파운드리 공정·설계 데이터·검증 환경과 깊게 결합돼 있어 선도 업체의 지위는 쉽게 흔들리기 어렵다. 따라서 EDA 산업의 성장은 과점 업체의 매출 성장과 수익성 개선으로 연결될 가능성이 높다.

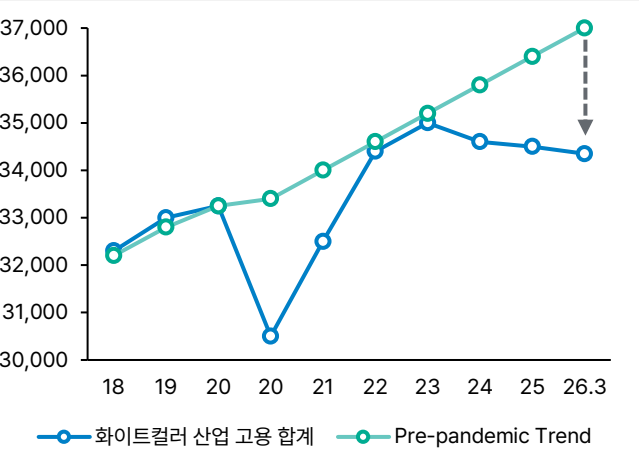
Top Pick

Cadence Design Systems(CDNS, NASDAQ)를 업종 내 최선호주로 제시한다. Cadence는 아날로그·커스텀 설계, 물리 설계, 패키징, 열·전력·신호 무결성 등 시스템 단위 최적화 영역에서 강점을 보유하고 있다. 반도체 설계 경쟁이 단일 칩 성능 향상을 넘어 칩·패키지·보드·시스템 통합 최적화로 이동할수록 Cadence의 포트폴리오 가치는 더욱 부각될 것으로 판단한다.

Synopsys(SNPS, NASDAQ)는 차선호주로 제시한다. Synopsys는 디지털 설계와 검증, 반도체 IP 영역에서 강점을 보유하고 있어 ASIC 설계 증가와 선단공정 전환의 핵심 수혜가 가능하다. 여기에 Ansys 인수를 통한 시스템 해석 역량 확장과 Agent AI 기반 설계 자동화 대응력을 감안하면, Cadence와 함께 EDA 과점 구조의 수혜를 공유할 것으로 판단한다.

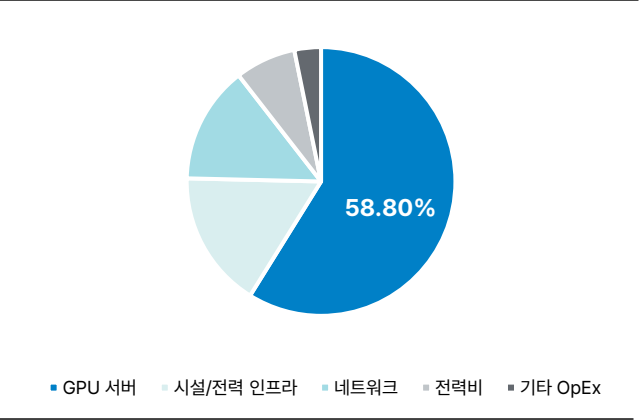
Key Charts

[그림 2-1] 화이트 컬러 산업의 신규 채용 감소 (단위 : 1,000명)



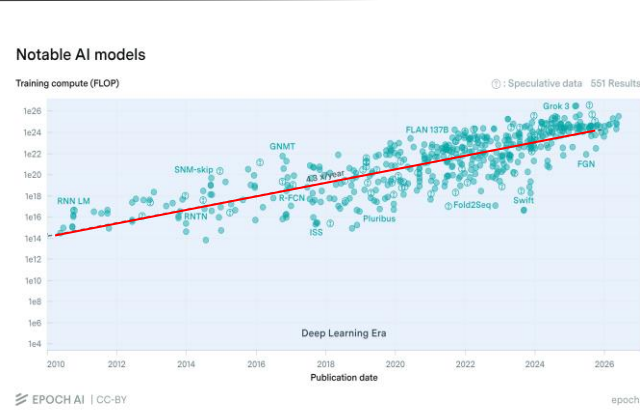
자료 : Bloomberg, VIOS

[그림 2-8] 1GW 데이터센터 비용 구조 (단위: \$B)



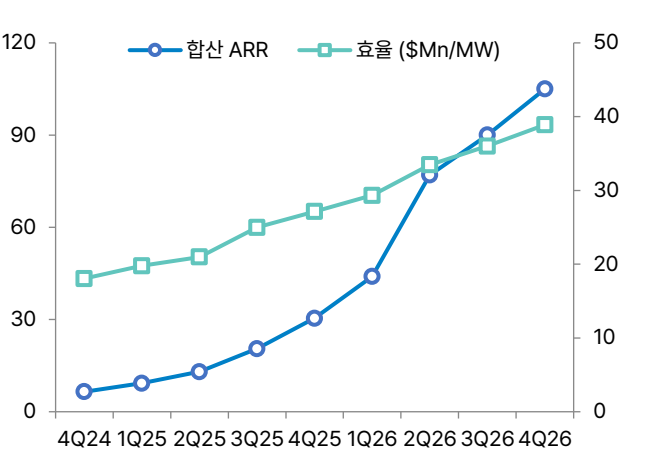
자료 : VIOS

[그림 2-13] Training Compute 증가추이



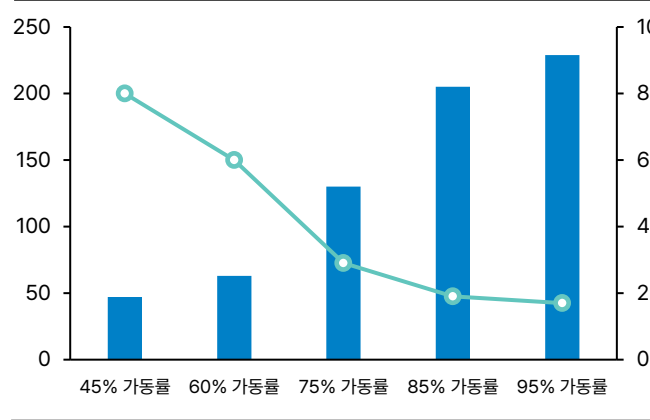
자료 : Epoch AI, VIOS

[그림 2-4] 합산 ARR, 단위 용량당 수익성 (단위: \$B, \$M/MW)

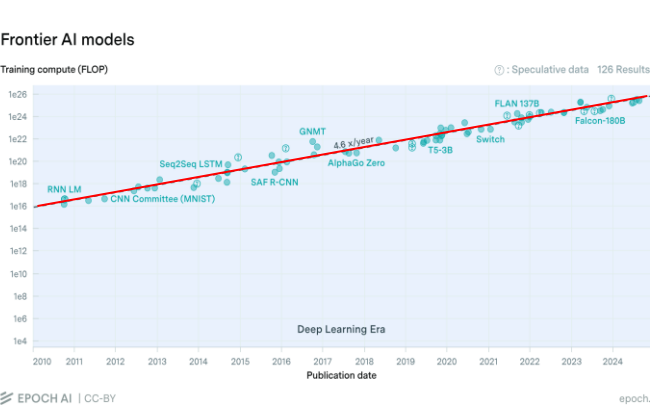


자료 : SEMIANALYSIS, Coatue, VIOS

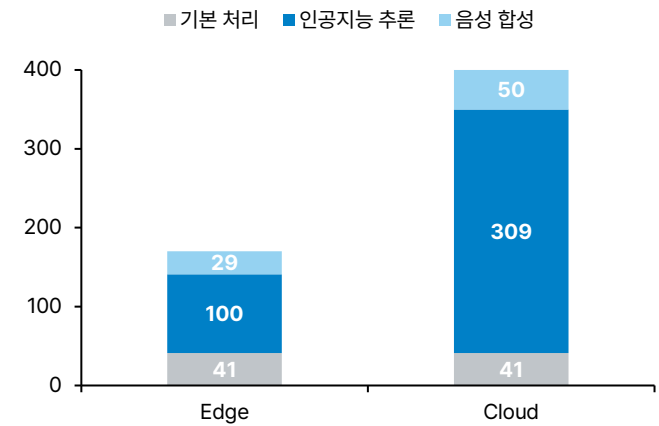
[그림 2-9] 가동률에 따른 매출 및 회수기간 (단위: \$B, %)



자료 : VIOS



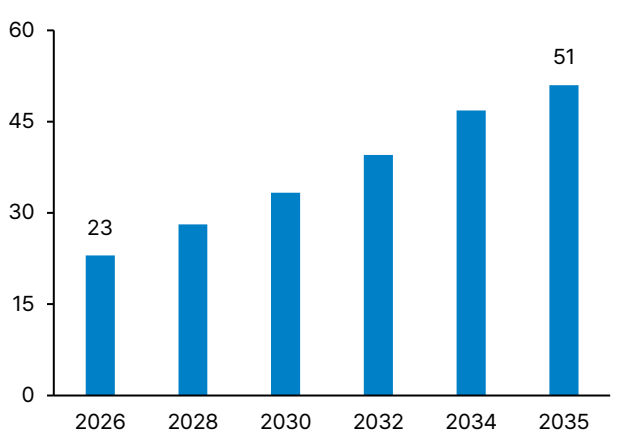
[그림 2-16] Cloud vs Edge AI 지연시간 비교



자료 : Spheron, ms, VIOS

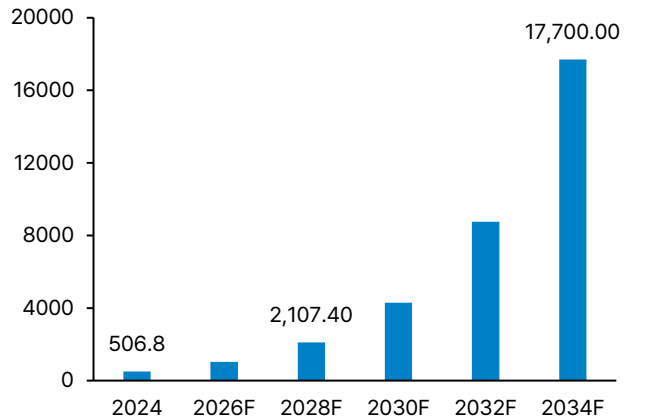
[그림 2-20] 글로벌 ASIC 시장 규모 전망

(단위: \$B)



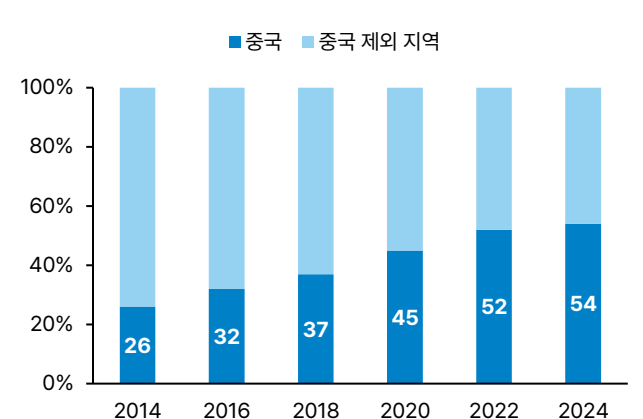
자료 : Business Research Insights, B, VIOS

[그림 2-21] 글로벌 AI PC 시장 규모 장기 전망 (단위: 억 달러)



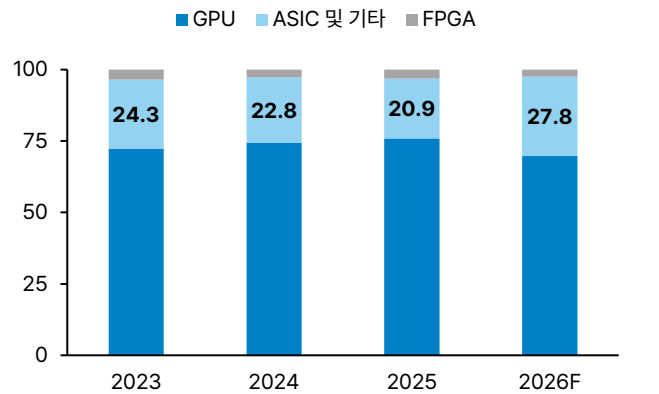
자료 : GMI, VIOS

[그림 2-25] 산업용 로봇 설치 비중 추이: 중국 vs 중국 외 지역



자료 : IFR, VIOS

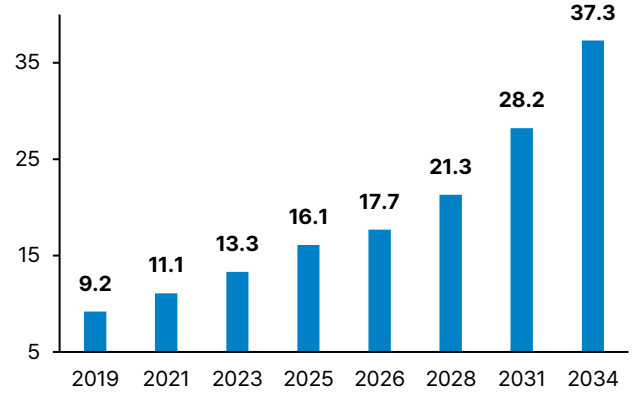
[그림 2-33] 글로벌 AI 서버 출하량 비중 추이 (단위: %)



자료 : trendforce, VIOS

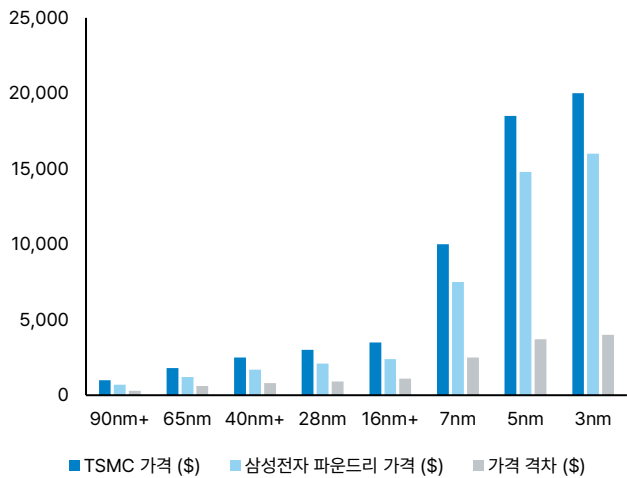
[그림 2-34] 글로벌 EDA 시장 규모 및 전망

(단위: \$B)



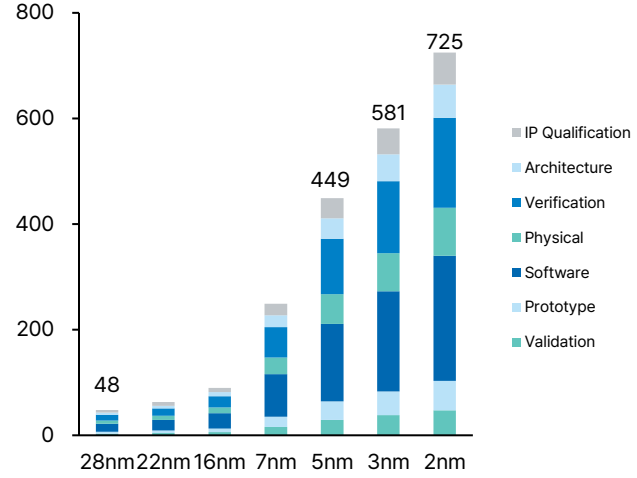
자료 : Dataintelo Analysis,, VIOS

[그림 2-39] 제조 공정 노드 미세화 추이 (단위: nm)



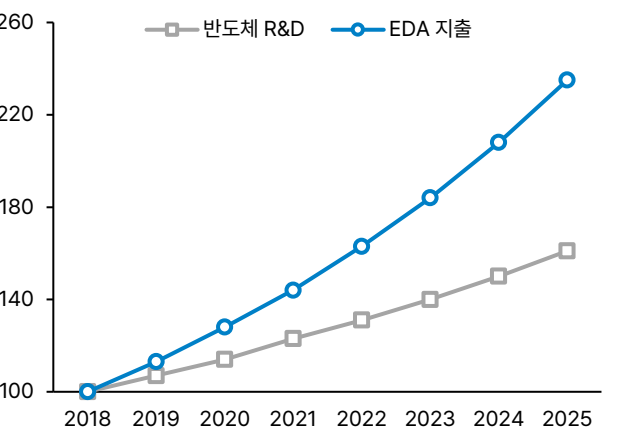
자료 : TSMC, VIOS

[그림 2-40] 공정 미세화에 따른 반도체 칩 설계 비용 추이



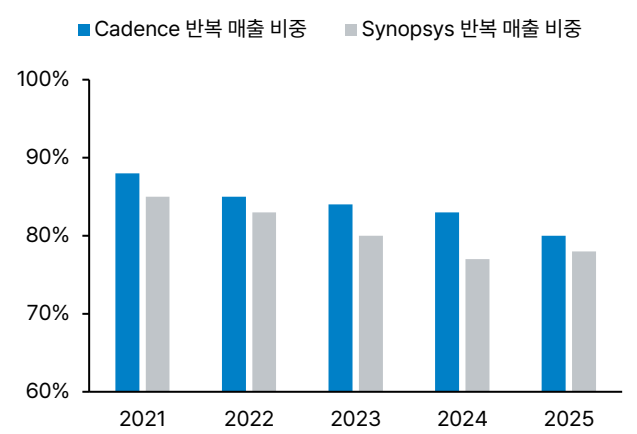
자료 : Quartr, VIOS (단위: 백만 달러, \$M)

[그림 2-43] EDA 지출, 반도체 R&D 성장률을 상회



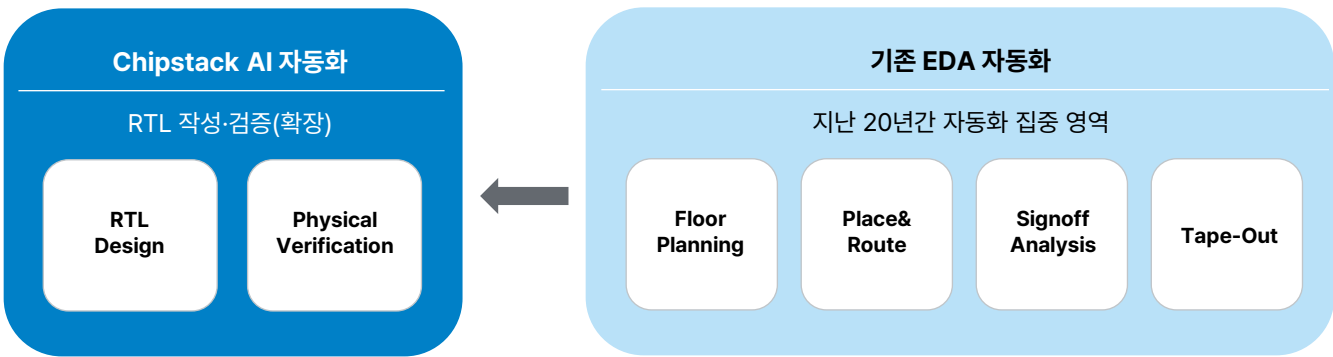
자료 : VIOS

[그림 2-44] Cadence, Synopsys 반복 매출



자료 : VIOS

[그림 4-2] ChipStack AI Super-Agent



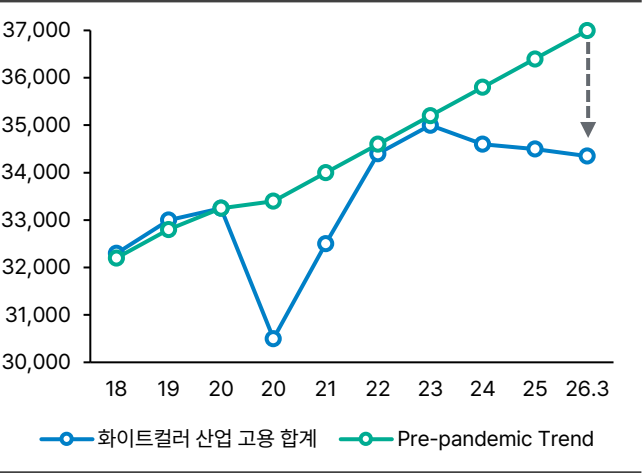
자료 : VIOS

II. 산업분석

현재 글로벌 증시는 AI를 중심으로 극단적 쏠림 현상을 보이고 있다. 이는 시장이 비합리적으로 AI를 추종하고 있기 때문만은 아니다. AI 외 산업은 고금리와 경기 둔화가 지속되는 환경에서 이익 추정치 상향 여력이 제한적이고, 성장 내러티브도 약하다.

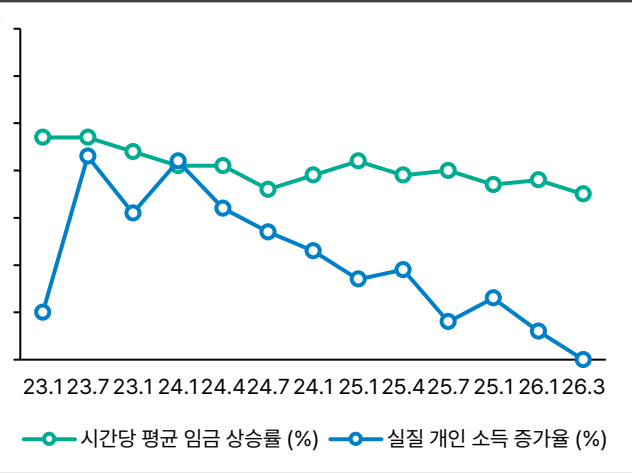
반면, AI는 매출 성장, CAPEX 확대, 반도체 수요, 전력 인프라, 소프트웨어 생산성 개선을 동시에 설명할 수 있는 유일한 성장 축이다. 글로벌 자금이 AI로 집중되면서 K자형 경제 양극화가 한층 심화되고 있다.

[그림 2-1] 화이트 컬러 산업의 신규 채용 감소 (단위 : 1,000명)



자료 : Bloomberg, VIOS

[그림 2-2] 시간당 평균 임금 성장과 실질 소득 감소 (단위 : %)



자료 : Bloomberg, VIOS

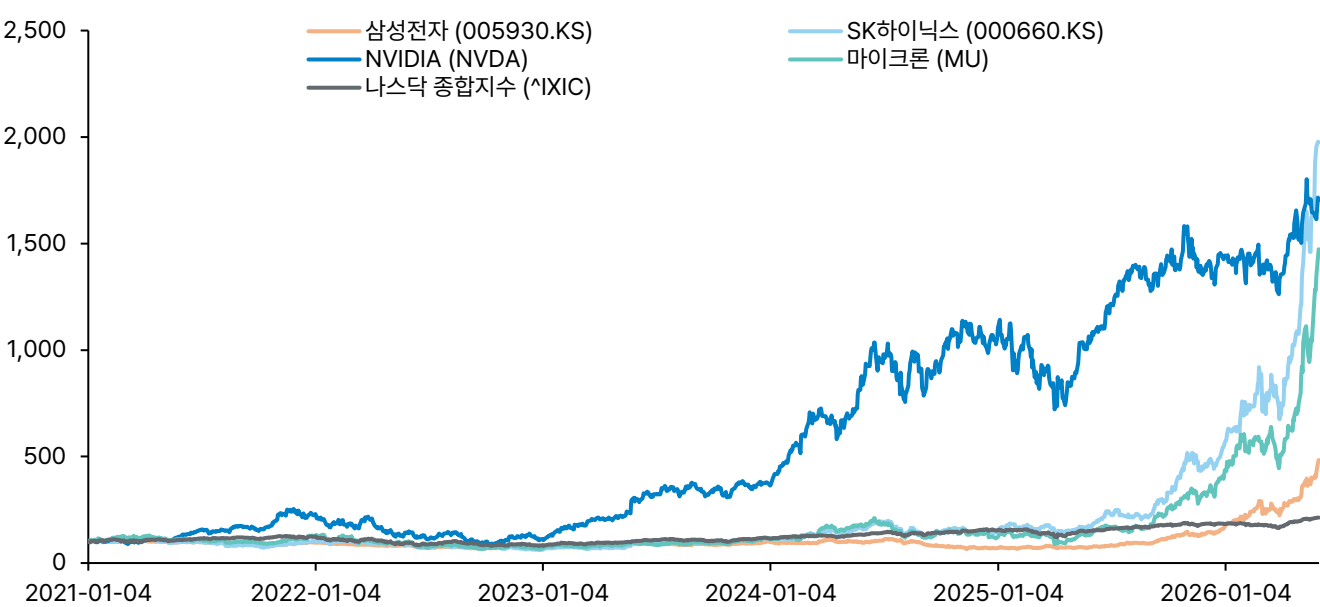
이에 따라 현재 시장은 AI에 대한 기대가 매우 높아진 상태다. AI CAPEX가 실제 매출과 이익으로 연결되지 못하거나, 하이퍼스케일러의 투자 회수가 지연될 경우 현재의 밸류에이션은 버블로 판명될 수 있다. 따라서 AI 투자의 핵심은 AI의 기술적 중요성을 인정하되, 그 투자가 실제 매출, 이익과 회수로 전환될 수 있는지 선제적으로 검증하는 데 있다.

그렇다면 하이퍼스케일러의 CAPEX가 실제 이익으로 전환될 수 있음이 검증된 이후, 투자자는 어디에 투자해야 할까? 수익성 분석만으로는 AI 밸류체인의 향후 자금 흐름을 판단하기 어렵다. AI는 발전 단계마다 CAPEX가 집중되는 병목 구간이 변화해왔기 때문이다.

Deep learning과 Transformer 단계에서 모델 성능이 연산량, 데이터, 메모리, 전력 효율에 강하게 의존하는 구조로 변화하자, 하이퍼스케일러는 막대한 GPU 투자로 연산 병목을 해소했다. NVDA가 시장을 아웃퍼폼했던 이유다.

이후 Generative AI와 Agentic AI가 추론, 장기 기억, 반복 작업 수행을 요구하면서 병목은 메모리 영역으로 확장되었고, CAPEX 역시 메모리 중심으로 재편되는 중이다. 메모리 IDM과 광통신 섹터가 시장을 아웃퍼폼한 이유다.

[그림 2-3] 시장 대비 주요 기업 상대 주가 추이



자료 : Bloomberg, VIOS

즉, AI CAPEX는 기술 발전이 만들어내는 병목을 따라 이동한다. 따라서 AI의 발전 방향을 이해하지 못 하면 AI CAPEX가 어디까지 지속 가능한지, 그리고 향후 자금이 어느 밸류체인으로 이동할지 판단하기 어렵다.

이에 따라, 본 보고서는 AI CAPEX의 수익성을 점검한 뒤, 1) AI 기술 발전 방향과 현재 CAPEX가 어디에 집중되었는지 확인했다. 이후 2) AI CAPEX가 이번 병목에는 어디로 흘러갈지 분석하고, 3) 이 흐름에서 구조적 수혜를 입을 밸류체인을 탐색했다. 나아가 EDA 산업과 Cadence Design Systems(CDNS, NASDAQ)가 왜 핵심 수혜 기업으로 부각될 수 있는지를 제시하고자 한다.

우선 AI 투자가 경제적으로 지속 가능한지 판단하기 위해 AI 산업의 수익성 구조를 점검해보자.

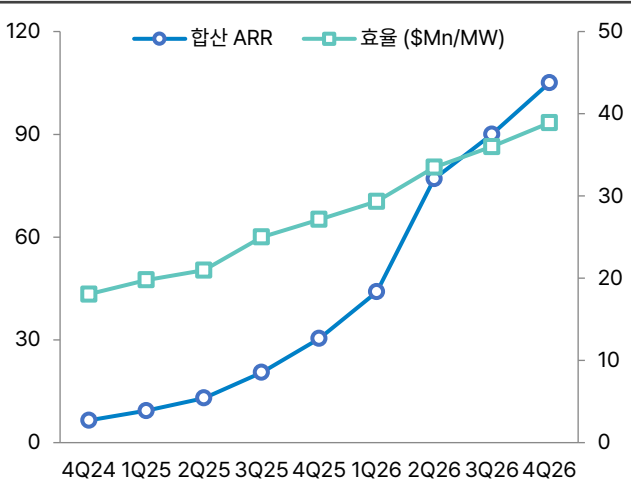
AI CAPEX 수익성 구조 점검

주요 LLM들의 수익화

선두는 엔트로픽과 OpenAI다. 두 회사의 합산 ARR(연간반복매출)은 2026년 연초 약 300억 달러에서 4월 초 약 550억 달러로, 불과 수개월 만에 빠르게 확대됐다. ServiceNow가 20년, Shopify가 18년 걸려 도달한 100억 달러 매출 마일스톤을 엔트로픽은 약 3.5년 만에 통과했고, 약 4,000명의 인력으로 1인당 매출 1천만 달러를 넘어서고 있다.

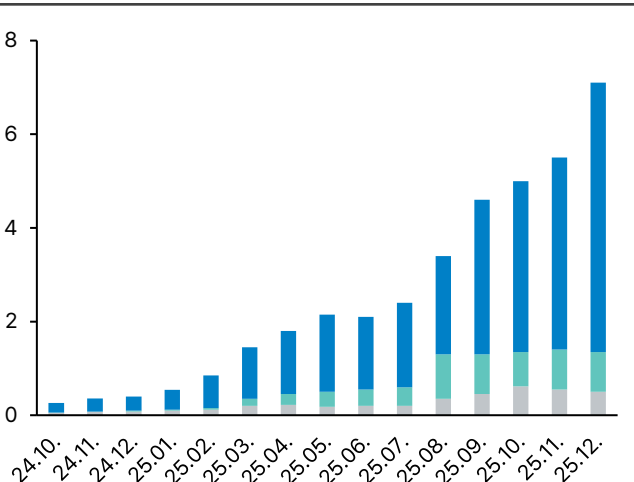
중요한 것은 이 매출이 곧바로 인프라 수요로 전환된다는 점이다. AI 기업의 매출 성장은 확인됐지만, 하이퍼스케일러의 CAPEX는 그보다 더 큰 규모로 집행되고 있다. 게다가, 수익화 초기 국면에서는 산업의 매출 성장 속도가 가장 빠를 수밖에 없어, AI 투자 주체들은 이 랠리에서 소외되는 선택을 하기 어렵다. 따라서, 핵심은 매출 성장률 자체가 아니라, AI CAPEX가 경제적으로 회수될 수 있는가로 향해야 한다.

[그림 2-4] 합산 ARR, 단위 용량당 수익성 (단위: \$B, \$M/MW)



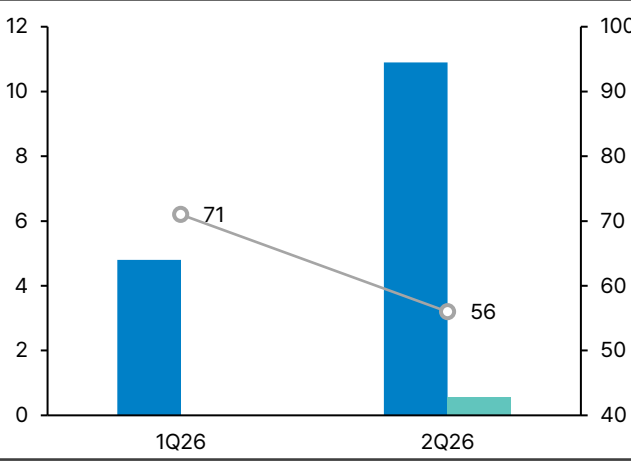
자료 : SEMIANALYSIS, Coatue, VIOS

[그림 2-5] 토큰 사용량 증가 추이 (단위: 10^12 토큰)



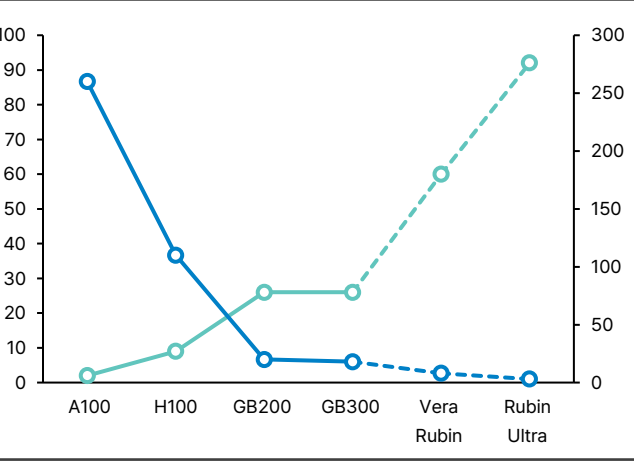
자료 : SEMIANALYSIS, Coatue, VIOS

[그림 2-6] 엔트로픽 실적 전망, 컴퓨팅 원가 비중 (단위: \$B, %)



자료 : Reuters, VIOS

[그림 2-7] NVDA 아키텍처별 토큰 생산 단가 감소



자료 : NVDA, VIOS

AI CAPEX 수익성 구조: 전력비가 아닌 가동률이 핵심

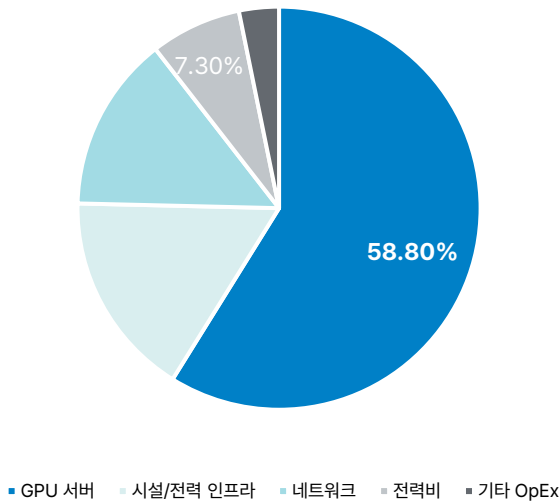
AI CAPEX의 수익성, 즉 회수 가능성을 판단하려면 먼저 AI 데이터센터가 무엇으로 돈을 버는지, 손익 구조를 들여다볼 필요가 있다. 시장은 AI 데이터센터를 전력 소비의 문제로 바라보지만, 실제 수익성을 결정하는 변수는 전력비가 아니라 가동률이다[Appx8.6]

1GW급 AI 데이터센터의 초기 투자비는 약 380억 달러, 이를 연간화한 총비용은 약 85억 달러로 추정된다. 이 비용의 약 60%(연 50억 달러)는 GPU 서버가 차지하는 반면, 시장이 우려하던 전력비는 7%(연 5.9억 달러)에 불과하다. 즉 AI 데이터센터의 손익은 전력 소비가 아니라, 고가의 GPU를 얼마나 효율적으로 운용하는지에 달려있다.

데이터센터의 비용을 대부분 서버가 차지하는 구조에서, 수익성을 결정짓는 변수는 결국 가동률이다. 60만 개 GPU를 75% 가동률로 운영하면 연간 매출은 약 130억 달러, 초기 투자비 회수기간은 약 3.1년으로 추정된다. 그러나 가동률이 60%로 떨어지면 매출은 약 63억 달러로 급감하고 회수기간은 6년 이상으로 늘어난다. 반대로 85%까지 오르면 회수기간은 약 1.9년으로 줄어든다.

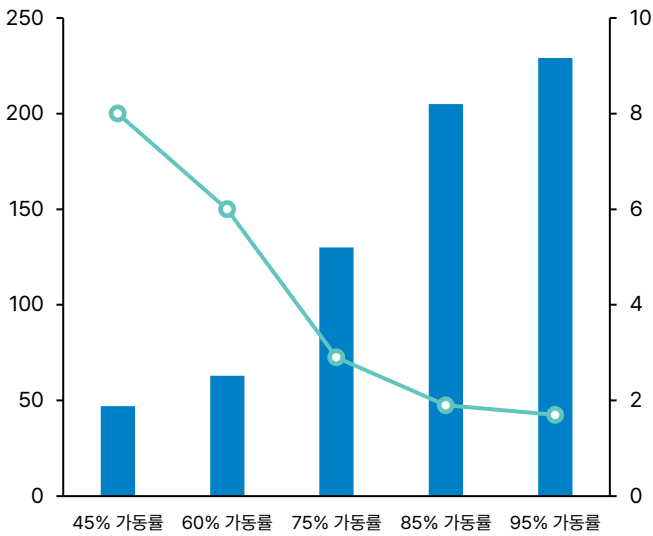
따라서 AI CAPEX의 회수 가능성은 가동률에 달려 있다. 전력이 데이터센터 건설을 결정짓는 물리적 병목이라면, 가동률은 데이터센터가 돈을 벌 수 있는 지를 결정하는 경제적 병목이다. 가동률을 끌어올릴 방법을 찾으려면, 그리고 향후 투자가 어느 방향으로 흘러갈지 가능하려면, 먼저 AI CAPEX가 왜 발생했는지를 이해해야 한다.

[그림 2-8] 1GW 데이터센터 비용 구조 (단위: \$B)



자료 : VIOS

[그림 2-9] 가동률에 따른 매출 및 회수기간 (단위: \$B, %)



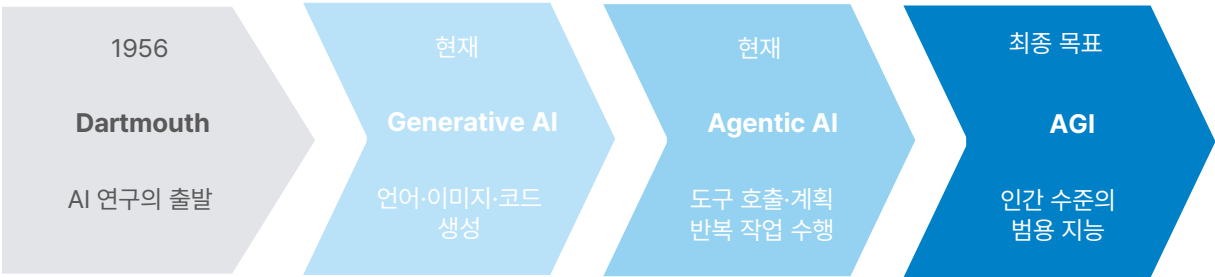
자료 : VIOS

1. AGI로 향하는 AI와 CAPEX 수혜 구간

1.1. AI의 장기 목표: AGI를 향한 기술 발전 경로

현재 AI는 AGI(Artificial General Intelligence, 인공 일반 지능)로 향하는 장기 연구 프로그램의 중간 국면이다. 대중에게 익숙한 AI는 최근의 ChatGPT류 LLM이지만, AI는 1950년대부터 이어진 연구 분야다. AI의 초기 목표는 챗봇을 만드는 프로젝트가 아니라 인간의 인지능력을 기계로 구현하는 장기 연구 프로그램이었다.

[그림 2-10] AI 발전 흐름

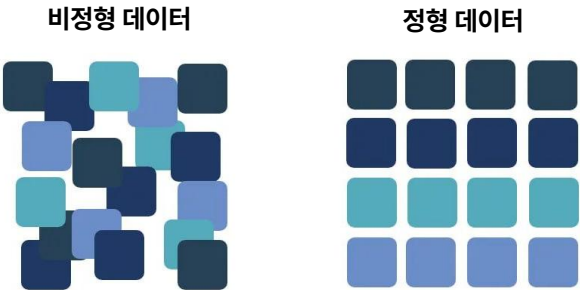


자료 : VIOS

1.2. Model Scaling과 1차 CAPEX 사이클

AI 발전은 딥러닝을 통해 본격적으로 가속화됐다. 딥러닝은 인간이 규칙을 직접 설계하는 방식에서 벗어나 대규모 데이터에서 패턴을 스스로 학습한다. GPU 기반 병렬 연산이 가능해지면서 대규모 신경망 학습이 가능해졌고, 이를 가장 극적으로 보여준 사건이 2016년 알파고였다. 알파고는 AI가 인간을 넘어설 수 있음을 입증했다.

[그림 2-11] Deep learning 정형 데이터와 비정형 데이터



자료 : VIOS

[그림 2-12] 이세돌 vs 알파고



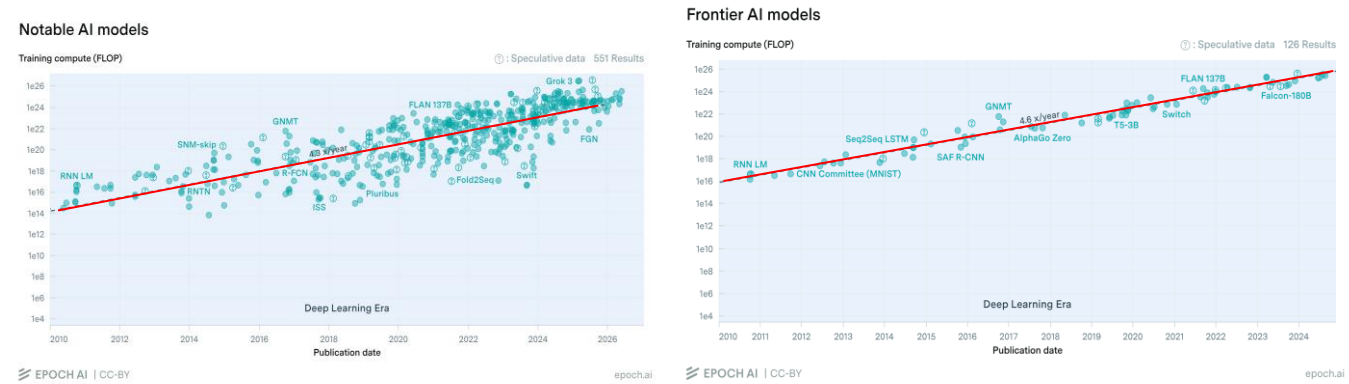
자료 : VIOS

하지만 알파고는 현실이 아니라 바둑판 위의 지능이었다. 현실의 문제는 정해진 답이 없고, 사람은 이를 주로 언어로 생각하고 풀어낸다. 알파고는 문맥을 한꺼번에 처리할 수 없었기 때문에 언어의 맥락을 이해하지 못했다. AI가 사람 수준에 가까워지려면 단어를 읽는 것에 머무르지 않고 **문맥 전체를 처리할 수 있어야 했다.**

이를 가능하게 한 것이 바로 2017년 Google이 제시한 **Transformer**다. Transformer는 문맥을 한꺼번에 계산해서 파악하는 알고리즘을 사용함으로써, 더 큰 모델에 더 많은 데이터를 학습시키는 기반이 되었다. 더 많은 데이터, 더 많은 GPU를 투입할수록 AI의 성능이 향상되는 것이다.

이처럼 연산량 증가를 통한 모델 성능 향상을 **Model Scaling**이라고 한다. 예전에는 알고리즘의 정교함이 핵심이었지만, 이제는 데이터와 연산을 충분히 쏟아 모델을 키우는 쪽이 유리하다. **Epoch AI에 따르면** 지난 10년간 성능 향상의 3분의 2가 모델 규모를 키우며 발생했고, 학습 연산량은 2010년 이후 해마다 4~5배씩 늘었다.

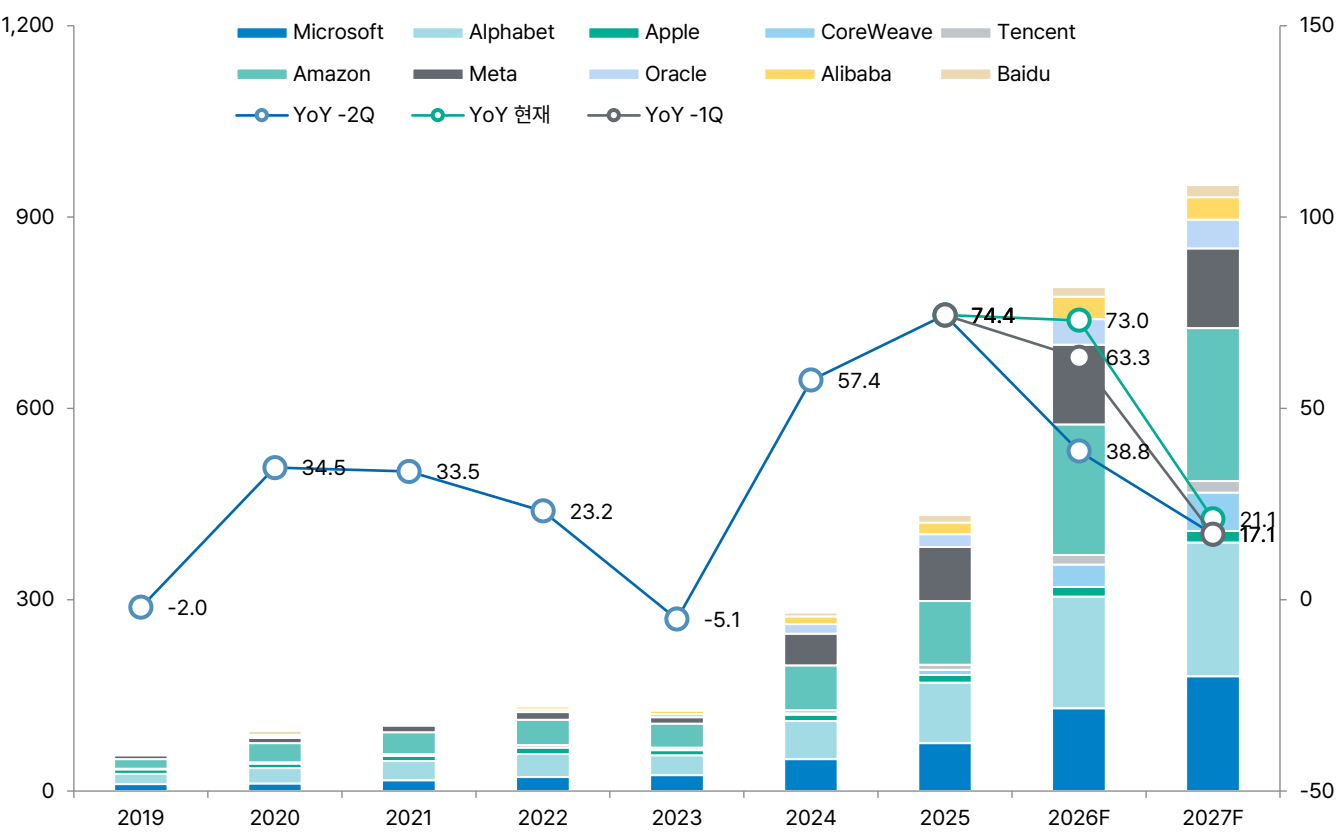
[그림 2-13] Training Compute 증가추이



1.3. Cloud AI CAPEX 투자 현황

Model Scaling은 학습과 추론 양쪽에서 **AI CAPEX**를 끌어올렸다. 모델과 데이터가 커질수록 학습에 필요한 연산이 급격히 늘었고, GPU·HBM·네트워크·전력 투자도 따라 커졌다. 학습으로 끝이 아니다. 이렇게 키운 모델이 상용 서비스로 퍼지면서 모델을 돌리는 추론에도 막대한 연산이 들었다. 처리할 토큰이 늘고, 응답 지연과 토큰당 비용을 낮추려는 인프라 투자도 이어졌다.

[그림 2-14] 주요 클라우드 서비스 기업들의 capex 추이



자료 : Bloomberg, VIOS

결국 현재 **AI CAPEX**의 본질은 **Model Scaling**이 만든 연산 병목을 해결하는 데 있다. 지금까지 투자는 주로 Cloud 중심의 대규모 데이터센터에 집중됐다. **Model Scaling**이 만든 연산 병목을 가장 빠르게 풀 수 있는 곳이 중앙집중형 Cloud 인프라였기 때문이다.

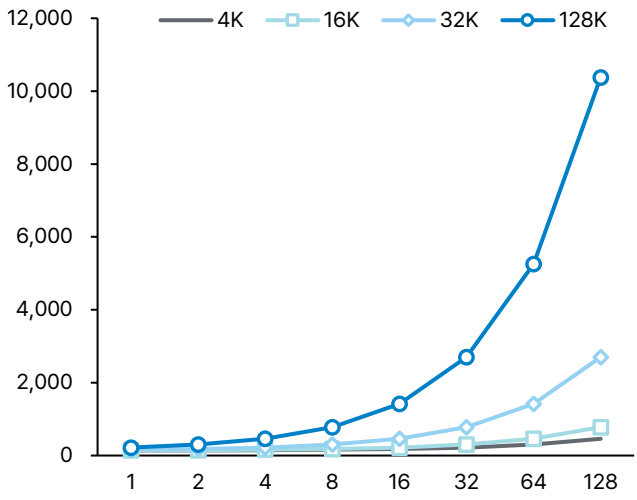
문제는 회수다. 인프라에 쏟은 돈은 매출로 돌아와야 하는데 앞서 살펴봤듯 AI 데이터센터의 수익성은 가동률에 민감하다. 결국 관건은 **CAPEX**를 얼마나 더 늘리느냐가 아니라 늘어난 **CAPEX**를 Cloud 중심 인프라 이후 어디에 가장 효율적으로 넣느냐다.

2. Cloud에서 Edge로 향하는 CAPEX

2.1. Cloud AI만으로 모든 추론을 해소할 수 없다.

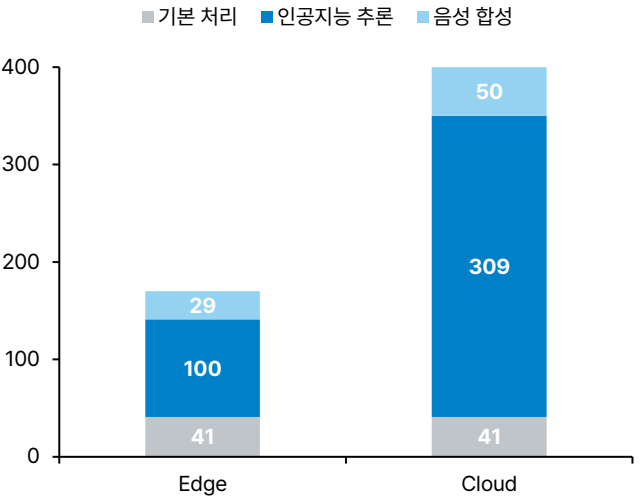
모든 추론을 Cloud에서 진행하는 전략은 물리적으로 한계가 존재한다. Cloud에 추론 인프라를 아무리 늘려도, 그 위에서 처리할 토큰이 더 빠르게 붙어난다. Agentic AI는 정답 도출 과정에서 기존 챗봇 대비 10~100배의 토큰을 생성하며, 사용자 한 명에 약 310GB, 100명이면 약 31TB의 KV 캐시를 요구한다. 토큰당 단가가 매년 10배씩 하락해도 총 토큰량이 그보다 빠르게 폭증하기에, 증설은 수요를 감당하기 어렵다.

[그림 2-15] LLM 토큰 하락 추이 (단위: \$/백만 토큰)



자료 : Medium, VIOS

[그림 2-16] Cloud vs Edge AI 지연시간 비교



자료 : Spheron, ms, VIOS

경제성 측면에서도 모든 추론을 Cloud로 집중시키는 전략은 한계를 갖는다. 폭증하는 추론 요청이 중앙 데이터센터로 쏠리면 응답 지연과 부하가 커지고, 이는 곧 가동률 저하로 이어진다. 문제는 앞서 살펴 봤듯 AI 데이터센터의 수익성은 가동률에 극도로 민감하며, 가동률이 떨어지면 수익성이 곧바로 악화된다. 즉, GPU를 빈틈없이 돌려 가동률을 끌어올리는 것이 핵심이다.

결국 해법은 증설이 아니라 추론의 분산이다. 경량, 일상 추론을 단말에서 처리하고 Cloud는 대규모, 고난도 워크로드에 집중하면 평균 가동률이 안정화된다. 따라서, 폭증하는 토큰을 계층적으로 나눠 받아 Cloud 인프라의 가동률과 수익성을 끌어올릴 수 있는 역할을 담당하는 Edge AI가 필요하다.

Edge AI는 AI 추론을 중앙 데이터센터가 아니라 데이터 발생 지점 가까이에서 처리하는 방식으로, 스마트폰, PC, 자동차, 로봇 등이 대표적인 Edge 연산 지점이다. 이는 Cloud를 대체하는 개념이 아니라 추론 작업을 Cloud와 Edge에 분산하는 구조다. 복잡한 대규모 추론은 여전히 Cloud가 담당하는 반면, 실시간 데이터 처리 효율이 중요한 작업은 Edge에서 수행된다.

[표 2-1] Edge 밸류체인

분야	대표 기업	이유
기업용 AI 서버 데이터 인프라	DELL	기업 온프레미스 AI 팩토리 구축의 핵심 공급자
	HPE	프라이빗 클라우드 AI, 엔터프라이즈 서버 제공
	PENG	AI 팩토리&HPC 클러스터 설계&구축&운영
	NTAP	기업 내부 비정형 데이터를 AI가 활용하도록 지원
	PLTR, IBM ORCL SNOW DDOG	기업용 AI 데이터 거버넌스, 스토리지 인프라
엣지 AI 반도체	QCOM	온디바이스 AI 추론 구동을 위한 저전력 SoC
	AMBA	카메라 영상 실시간 분석에 특화된 AI 비전 SoC
	SYNA	IoT 기기에 최적화된 저전력 엣지 AI SoC
	ADI, TXN, NXPI, ON, STM	차량&공장&로봇 제어, 센서 신호 처리, 전력 관리 등
연결성	NOK	엔비디아와 AI-RAN 협력, 기지국을 추론 노드로
	COHR, LITE, FN, CIEN, AAOI	데이터센터와 엣지 노드 간 고속 연결 수혜
	QRVO, SWKS, ADI, STM	엣지 기기와 무선 연결성 확대 수혜
피지컬 AI	OUST, AEVA, MBLY, TDY, CGNX	현장에서 보고 듣고 감지하는 센서&비전
	AVAV, KTOS, ONDS, UMAC, RCAT	군용 자율 드론 및 무인기, 전술 엣지 AI
	TSLA, AMZN, SYMISRG, PRCT	자율주행차, 물류 로봇, 자율배송 로봇, 수술 로봇 등

자료 : VIOS

2.2. Edge AI가 요구하는 ASIC 설계와 선단공정

Edge AI가 추론을 분담하기 위해서는 그 연산을 실제로 처리할 수단이 단말 내부에 존재해야 한다. 이 작업을 원거리의 클라우드 서버가 아니라 사용자 단말에서 직접 수행하는 것이 Edge AI며, Edge AI가 추론을 분담하기 위해서는 그 연산을 실제로 처리할 칩이 필요하다.

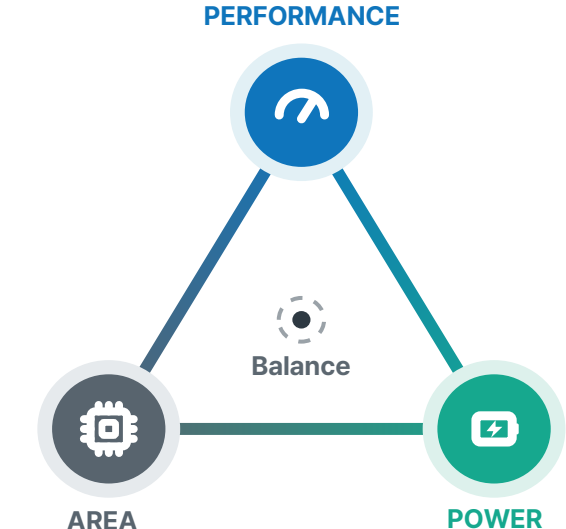
Edge AI는 기기의 성격에 따라 두 유형으로 구분된다. On-device Edge AI는 스마트폰, PC, 웨어러블처럼 사용자가 직접 사용하는 기기에서 작동하며, 배터리·발열·면적·원가 제약이 크다. 반면 Physical Edge AI는 자동차, 로봇, 산업 장비처럼 물리 세계에서 작동하는 기기에 탑재되며, 실시간 반응, 안정성, 센서 처리, 전력·열 관리가 중요하다. 즉 Edge AI는 하나의 범용 칩으로 대응하기 어렵고, 기기별 사용 환경에 맞춘 칩 설계가 필요하다.

[그림 2-17] On-device AI, Physical Edge AI



자료 : VIOS

[그림 2-18] PPA 구조도



자료 : VIOS

이때, 단말에 탑재되는 칩은 클라우드 데이터센터에 사용되는 칩과 성격이 다르다. 이는 칩 설계의 기본 원리 때문이다. 칩 설계는 전력(Power), 성능(Performance), 면적(Area) 세 요소의 균형을 맞추는 과정이며, 이를 PPA라 한다.

PPA는 동시에 모두 만족시키기 어렵다는 특성을 지닌다. 성능을 높이려면 전력 소모와 면적이 늘어나고, 면적을 줄이면 성능이 저하되기 때문이다. 따라서 칩 설계의 핵심은 해당 칩이 사용될 환경에 맞추어 PPA의 최적 지점을 찾는 데 있다.

클라우드 칩은 PPA 조건 중 전력과 면적의 제약이 상대적으로 작다. 데이터센터는 칩의 크기가 크거나 전력 소모가 많더라도 이를 수용할 수 있는 환경이기 때문이다. 이에 따라 클라우드 칩은 면적을 줄일 필요가 크지 않으며, 700W에 이르는 전력을 소모하면서 성능 향상에 집중한다.

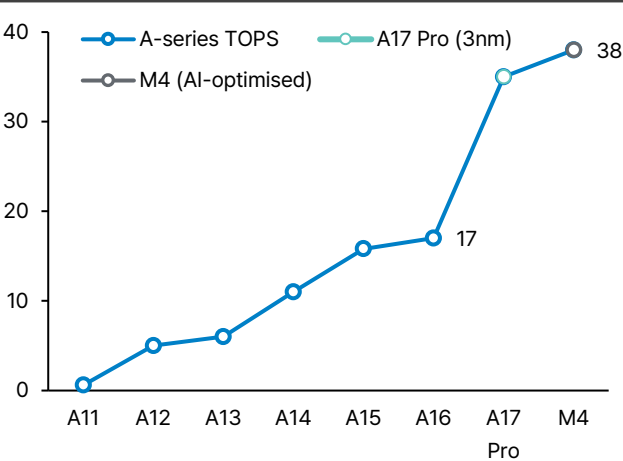
반면, Edge 칩이 놓이는 환경은 이와 정반대다. 스마트폰은 손바닥 크기의 공간에 칩을 탑재해야 하므로 면적 제약이 크고, 대부분 배터리로 구동되므로 전력 제약도 크다. 그러면서도 실시간 추론을 수행해야 하기 때문에 성능 역시 높여야 한다.

따라서 Edge는 PPA의 적절한 균형이 필수적이며, PPA 균형을 동시에 충족하는 설계 방법은 두 가지다. 첫째는 특정 작업에 특화된 맞춤형 칩인 ASIC으로 설계하는 것이며, 둘째는 선단공정으로의 이동이다.

첫 번째 방법인 ASIC 설계는 용도에 맞추어 구조를 설계하는 방법이다. 범용 칩은 모든 종류의 연산을 처리하도록 설계되지만, 그 범용성으로 인해 특정 작업을 수행할 때는 칩의 상당 부분이 활용되지 못한다. 반대로 처리할 작업을 신경망 추론으로 한정하고 해당 작업에 맞추어 회로와 메모리 구조를 설계하면, 동일한 공정 노드에서도 훨씬 적은 전력으로 같은 연산을 수행할 수 있다.

두 번째로 선단화를 통해 동일한 설계라도 트랜지스터를 더 작게 구현하면 같은 면적에 더 많은 연산 소자를 집적할 수 있고, 소자에서 발생하는 전력도 감소한다. TSMC의 N3 공정은 직전 N5 공정 대비 동일 성능에서 전력을 30% 절감하고, 동일 전력에서 성능을 15% 높이며, 집적도는 1.6배에 이른다. 공정 노드가 미세화될수록 PPA 성능이 동시에 개선되는 것이다.

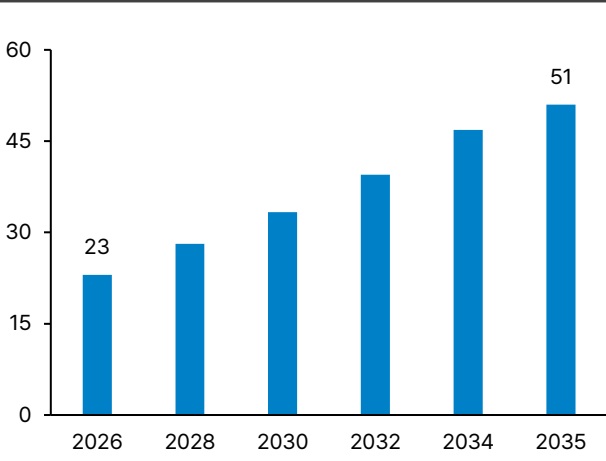
[그림 2-19] 세대별 애플 칩별 TOPS 성능 추이



자료 : patsnap, VIOS

[그림 2-20] 글로벌 ASIC 시장 규모 전망

(단위: \$B)



자료 : Business Research Insights, B, VIOS

여기서 주목할 점은 두 방법이 양자택일의 관계가 아니란 점이다. ASIC 단독으로도, 선단화 단독으로도 Edge AI가 요구하는 PPA 최적을 충족하기 어렵다. 이 때문에 실제 Edge 칩은 두 방법을 반드시 병행해야 하며, [표 2-2]에서 확인할 수 있듯, On-device와 Physical를 주도하는 대표 기업들은 ASIC 탑재와 선단공정 채택을 동시에 진행하고 있다.

[표 2-2] Edge AI 칩의 세대별 선단화 추이와 기업별 자체 설계(ASIC) 현황

On-device Edge AI	
기업(제품군)	세대별 공정 노드 진화(선단화 흐름)
Apple(A 시리즈)	A11(10nm-'17) -> A14(5nm-'20) -> A17 Pro(3nm-'23) -> A19(2nm 예상)
apple(M 시리즈)	M1(5nm) -> M3(3nm) -> M4(3nm) -> 차세대 2nm 예상
Qualcomm(Snapdragon)	8 Gen 1(Samsung 4nm) -> 8 Gen 3(TSMC 4nm) -> 8 Elite(TSMC 3nm)
Intel&AMD(PC NPU)	NPU 본격 탑재 시작 - Lunar Lake(3nm) / Ryzen AI 300(4nm)

Physical Edge AI	
기업(제품군)	세대별 공정 노드 진화(선단화 흐름)
NVIDIA(Drive)	Xavier(12nm) -> Orin(Samsung 8nm) -> Thor(TSMC 4nm)
Tesla(FSD)	HW3(Samsung 14nm) -> HW4-A14(Samsung 7nm) -> A15(차세대)
Mobileye(EyeQ)	EyeQ5(7nm) -> EyeQ6(7nm) -> EyeQ Ultra(5nm)

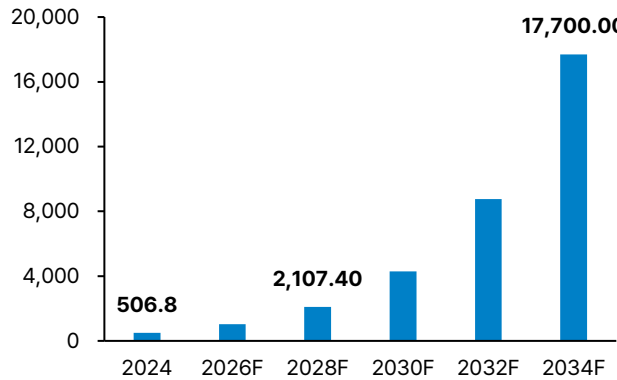
자료 : 각사 IR, VIOS

2.3. Edge AI의 수요는 있을까?

대표 기업들이 주도하는 ASIC 수요는 On-device AI와 Physical-edge AI에서 발생하고 있다. 먼저 On-device AI 수요는 스마트폰과 PC의 하드웨어 차별화에서 발생한다. 생성형 AI가 일상 기능으로 자리잡기 시작하면서, 단말은 AI 기능을 직접 실행하는 연산 기기로 바뀌고 있다. 실시간 번역, 이미지 편집, 문서 요약, 로컬 검색, 개인화 기능은 모두 낮은 지연시간과 개인정보 보호가 중요해 단말 내에서 처리할 추론 수요를 키운다.

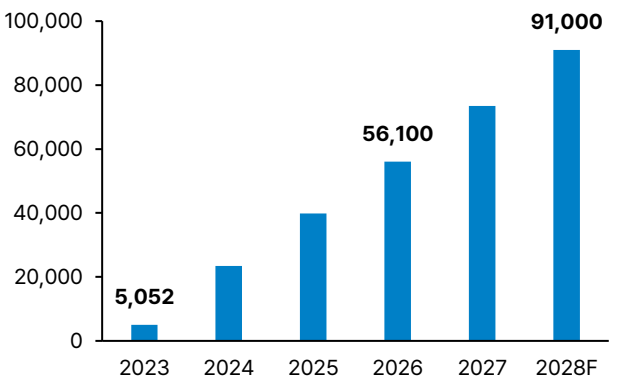
시장 전망 역시 뚜렷하다. AI PC는 전체 PC 시장 내 비중이 2025년 31%에서 2026년 약 55%로 높아지고, 2028년이면 NPU 미탑재 PC가 5.2%에 그쳐 NPU 탑재가 사실상 표준이 된다. AI 스마트폰 역시 온디바이스 GenAI 출하량이 2028년까지 약 9.1억 대로 늘어, 2024년부터 2028년까지 연평균 성장률(CAGR)은 78.4%에 이를 것으로 전망한다.

[그림 2-21] 글로벌 AI PC 시장 규모 장기 전망 (단위: 억 달러)



자료 : GMI, VIOS

[그림 2-22] GenAI 스마트폰 출하량, 전망 (단위: 만 대, %)



자료 : zoominlife, VIOS

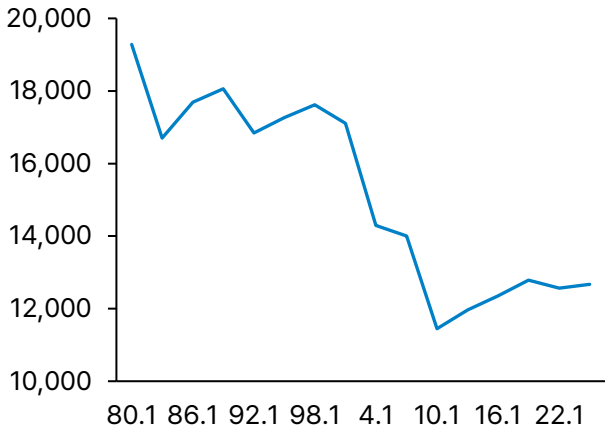
Physical-edge AI의 수요는 주요 제조국의 구조적 문제와 직결된다. 자동차, 로봇, 산업장비는 현실 세계 데이터를 즉각 인식하고 판단해야 한다. 이 영역에서는 클라우드 왕복 지연을 허용하기 어렵고, 현장에서 추론을 처리하는 구조가 필수적이다.

미국은 리쇼어링을 추진하고 있으나 제조 인력 부족이 병목으로 작용하고 있다. 미국 제조업 일자리는 장기적으로 감소한 뒤 충분히 회복되지 못했고, 최근 ISM 제조업 고용지수도 기준선인 50을 하회하며 인력 수급 부담이 지속되고 있다.

중국은 세계 최대 제조 기반을 유지하기 위해 자동화로 원가와 품질 경쟁력을 방어해야 하는 상황이다. IFR에 따르면 중국의 글로벌 산업용 로봇 설치 비중은 2014년 26%에서 2024년 54%까지 상승했으며, 2024년에는 중국 외 전 지역을 합친 설치 비중을 넘어섰다.

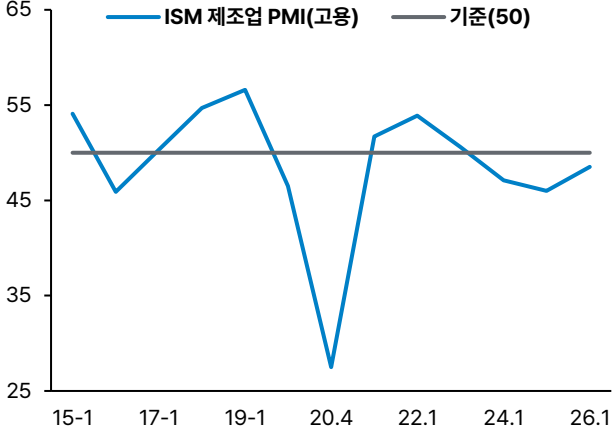
일본은 **고령화·노동 부족**이 배경으로, 운용 재고 45.1만 대로 전세계의 약 10%며, 로봇 밀도는 근로자 1만 명당 419대를 기록하며 자동화가 물류·서비스·의료 등 비정형 영역으로 확장되고 있다.

[그림 2-23] 미국 제조업 일자리 추이 (단위: 천명)



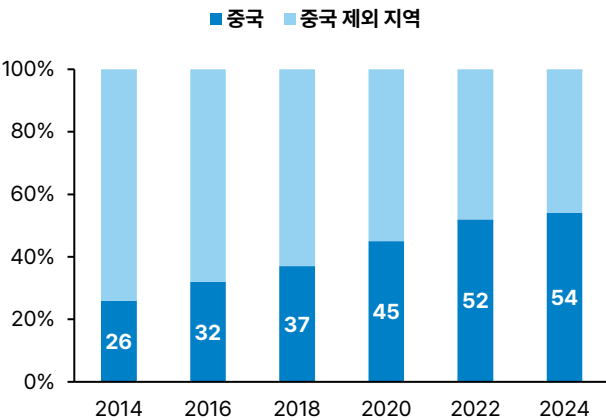
자료 : FRED, VIOS

[그림 2-24] 미국 ISM 제조업 고용 지수



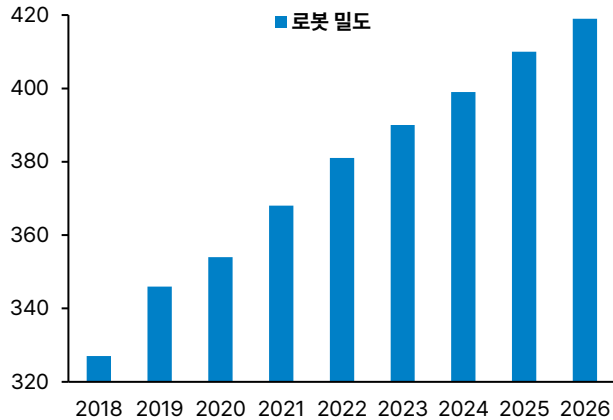
자료 : ISM, VIOS

[그림 2-25] 산업용 로봇 설치 비중 추이: 중국 vs 중국 외 지역



자료 : IFR, VIOS

[그림 2-26] 일본 로봇 밀도 추세 (단위: 근로자 1만명)



자료 : IFR, VIOS

주요 제조국이 직면한 문제는 다르지만 방향은 같다. 미국은 제조업을 되찾기 위해, 중국은 경쟁력을 지키기 위해, 일본은 노동 부족을 메우기 위해 자동화가 필요하다. 결국 주요 제조국 모두가 서로 다른 이유로 Physical-edge AI 수요를 키우고 있다.

결론적으로 Edge AI는 공급 측면의 기술 변화만으로 성장하는 시장이 아니다. On-device AI는 소비자 단말의 교체 사이클을 만들고, Physical-edge AI는 제조 자동화라는 수요를 만든다. 즉, AI는 클라우드에서 벗어나, 단말과 현장에 탑재되는 기능으로 확장되고 있으며, AI 반도체 수요는 GPU와 더불어 Edge AI 칩으로 확장되고 있다.

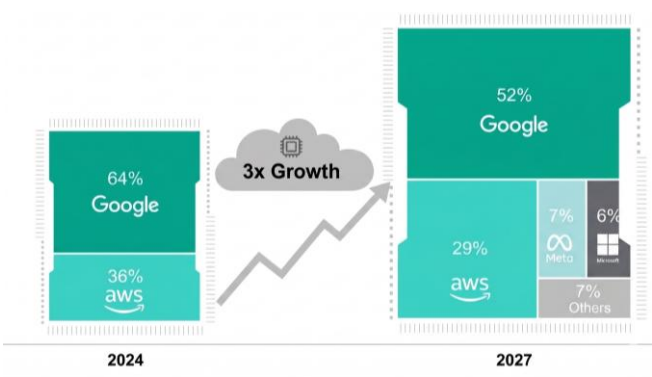
2.4. Edge AI의 시대: ASIC과 선단화의 확산, 가장 안정적인 수혜는 EDA

Edge AI 확산은 결국 반도체 칩의 Q와 P를 동시에 끌어올린다. 추론이 단말과 현장으로 분산될수록 설계 대상은 범용 GPU에서 기기·용도별 ASIC으로 넓어지고(Q), 제한된 전력·면적 안에서 성능을 확보하기 위해 선단공정 채택(P)도 확대되기 때문이다.

다만 반도체 칩의 Q, P 상승의 수혜가 반도체 밸류체인 전반에 동일하게 돌아가는 것은 아니다. 팹리스는 고객 채택 여부에 따라 성패가 갈린다. 파운드리와 IDM은 선단공정과 첨단 패키징 CAPA 투자 부담으로 불황기에 실적 변동성이 크다. OSAT, 소부장 밸류체인 역시 마찬가지다.

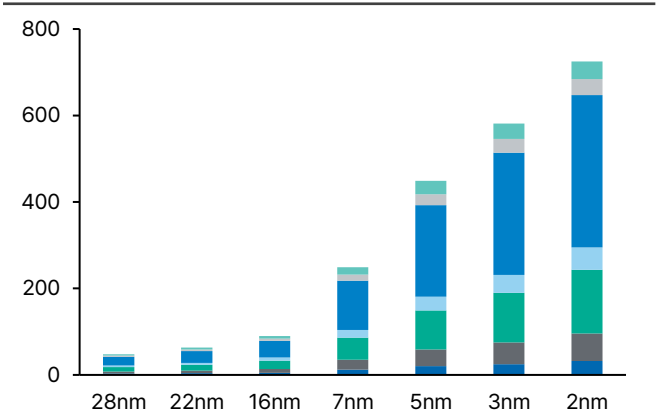
반면, EDA는 칩 설계 성공 유무와 관계없이 반드시 사용된다. 이에 따라, Edge AI 시대의 가장 안정적인 수혜 구간은 반도체 제조가 아닌 설계를 담당하는 EDA에 있다고 판단한다. EDA는 칩 설계 성공 유무와 관계없이 반드시 사용된다. 즉, EDA는 Edge AI 확산의 수혜를 가장 앞단에서 흡수하면서도 개별 제품 리스크에 상대적으로 노출도가 낮다.

[그림 2-27] ASIC 확산은 설계 프로젝트의 확장



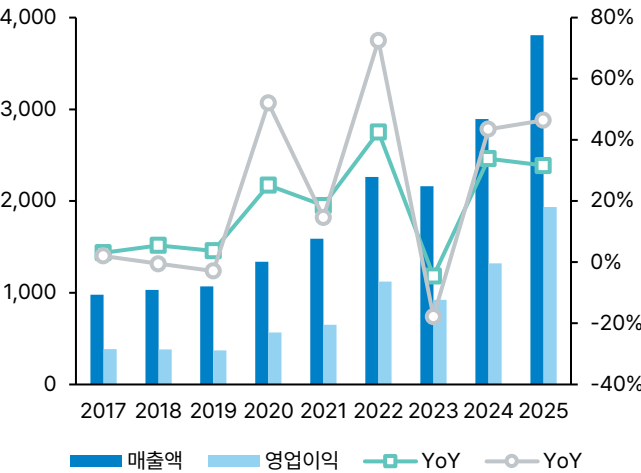
자료 : CounterpointResearch, VIOS

[그림 2-28] 선단공정 칩 설계 비용 추이 (단위: \$MM)



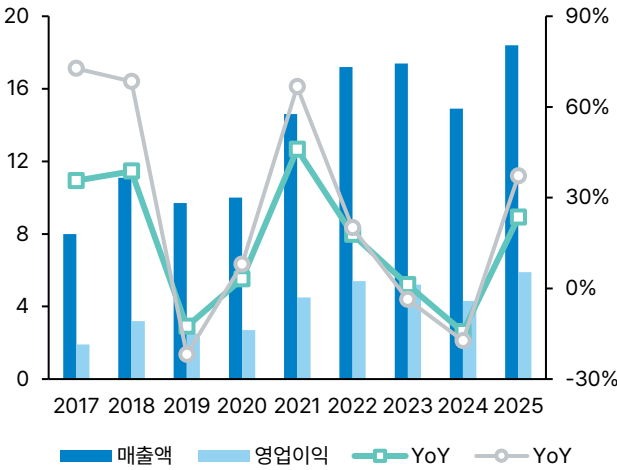
자료 : IBS, VIOS

[그림 2-29] TSMC 실적 추이 (단위: 십억 TWD)



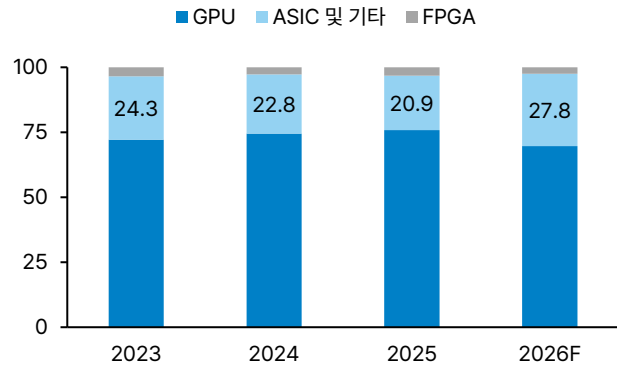
자료 : VIOS

[그림 2-31] LRCX 실적 추이 (단위: \$B)



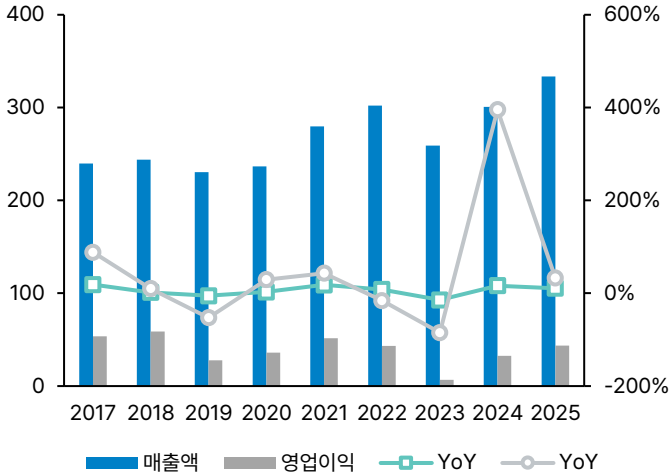
자료 : VIOS

[그림 2-33] 글로벌 AI 서버 출하량 비중 추이 (단위: %)



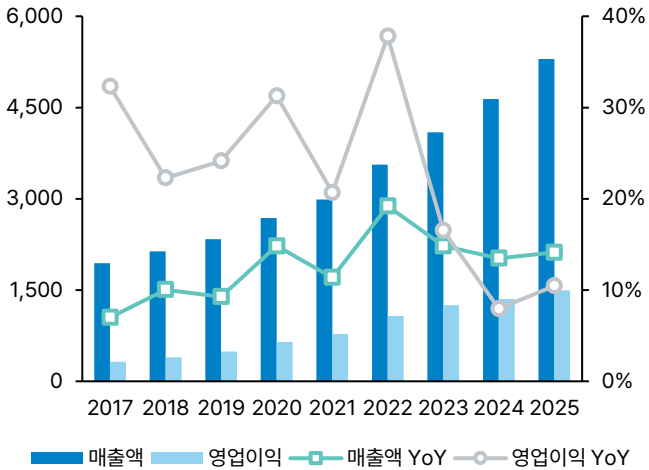
자료 : trendforce, VIOS

[그림 2-30] 삼성전자 실적 추이 (단위: 조원)



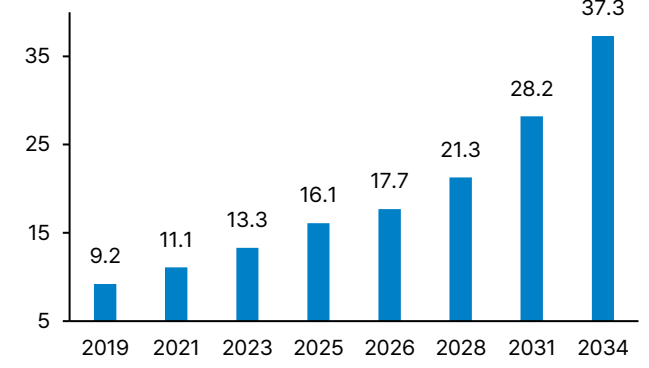
자료 : VIOS

[그림 2-32] CDNS 실적 추이 (단위: \$M)



자료 : VIOS

[그림 2-34] 글로벌 EDA 시장 규모 및 전망 (단위: \$B)



자료 : Dataintelo Analysis,, VIOS

3. EDA, AI 반도체 설계의 필수 인프라

AI 데이터센터의 수익성이 가동률에 크게 좌우되며, 추론이 Edge로 분산될수록 ASIC 설계와 선단공정 수요가 증가한다는 점을 앞서 확인했다. 이 지점에서 투자 관점을 한 단계 전환할 필요가 있다. 가동률이 수익성의 핵심 변수라면, 가장 안정적인 투자처는 오히려 가동률에서 자유로운 구간이다.

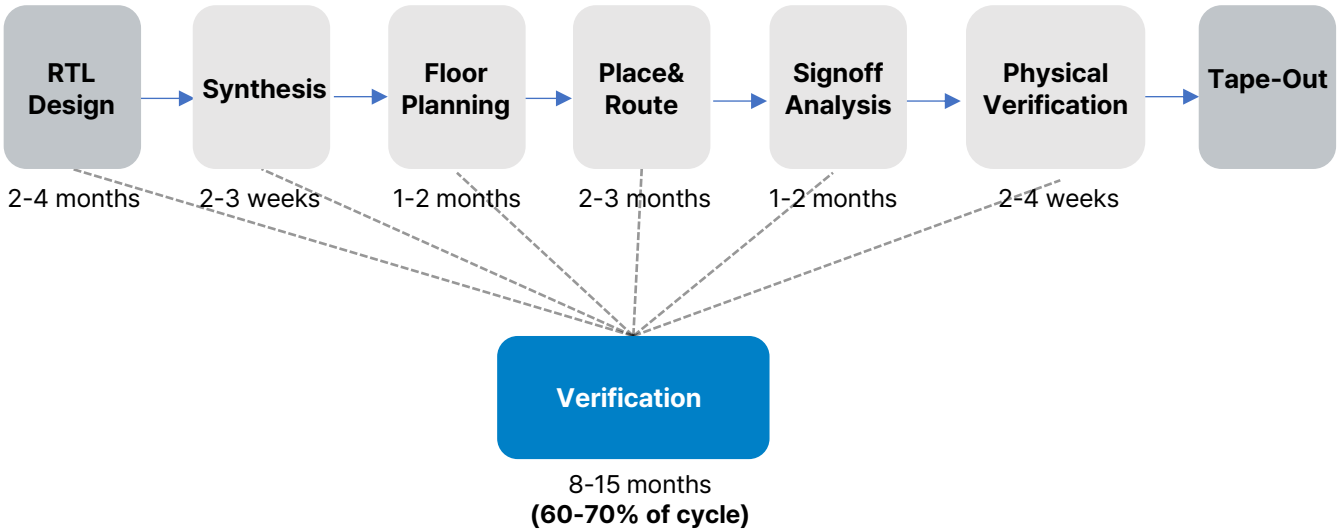
그 구간이 바로 EDA다. 개별 AI 칩이 시장에서 성공하든 실패하든, 반도체를 만들기 위해서는 설계 단계가 반드시 선행되어야 한다. 따라서 본 리서치팀은 다음 AI CAPEX의 수혜를 반도체 제조보다 반도체 설계에 있다고 판단하였다.

3.1 EDA 정의와 역할

EDA(Electronic Design Automation, 전자 설계 자동화)는 반도체 설계자가 칩의 구조를 설계, 배치, 배선, 검증할 때 사용하는 설계 자동화 소프트웨어다.

첨단 반도체는 수십~수천억 개의 트랜지스터로 구성되며, 엔지니어가 모든 회로 배치와 검증을 수작업으로 처리하는 것은 불가능하다. EDA는 칩 설계의 복잡도를 자동화하고, 설계 오류를 줄이는 검증 인프라 역할을 수행한다.

[그림 2-35] 반도체 칩 설계 과정



자료 : VIOS

칩 설계와 실제 제조 사이에는 설계 결과물을 제조 가능한 형태로 구체화하는 과정이 필요하다. 엔지니어가 구상한 칩의 기능은 그 자체로 바로 생산될 수 없으며, 제조를 맡길 파운드리 규칙을 모두 만족하는 설계 파일로 전환되어야 한다.

EDA의 역할은 설계된 회로를 검증하는 데에도 있다. 칩의 논리 구조를 만들고, 배선을 정한 뒤 전력흐름을 검증한다. 고객사가 원하는 PPA를 동시에 만족하도록 설계를 반복 최적화하며, EDA의 본질은 칩 설계 생산성을 높이고, PPA를 개선하며, 설계 실패 가능성을 낮추는 데에 있다.

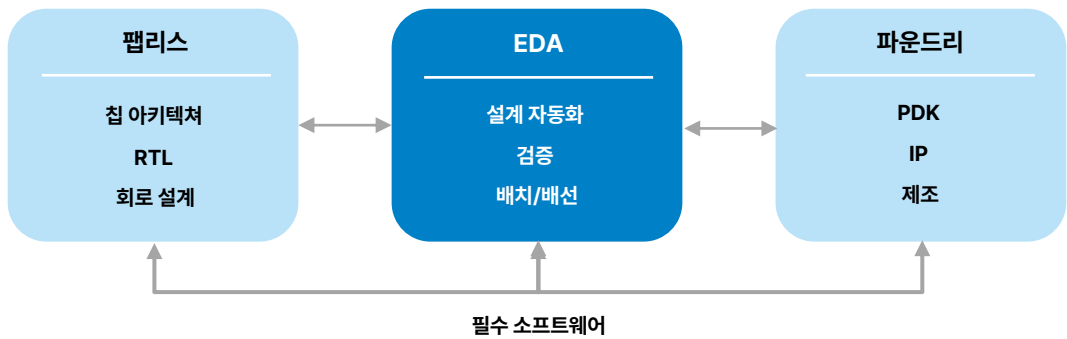
3.2 EDA를 왜 반도체 기업들이 사용하는가?

EDA는 반도체 설계 실패 비용을 줄이기 위해 사용되며, 팹리스와 파운드리가 주요 수요처였다. 팹리스는 설계 오류가 발생하면 재설계 비용과 출시 지연을 직접 부담한다. 선단 공정에서는 재설계 (Re-spin) 1회 비용이 약 \$50-100M에 달하고, 제품 출시가 6-12개월 지연될 수 있다. 따라서 팹리스에게 EDA는 설계 실패 비용을 사전에 줄이는 핵심 도구다.

파운드리 EDA 업체와 생산 24개월 전부터 공정 설계 키트(Process Design Kit, PDK)를 공동 개발한 뒤 칩 출하 시 필요한 검증 소프트웨어를 지정한다. 파운드리 직접 제품을 설계하지는 않지만, 고객 설계가 자사 공정에서 안정적으로 생산될 수 있도록 설계 환경을 제공해야 한다. 이를 위해 파운드리 PDK를 제공한다. PDK는 고객이 해당 공정에서 칩을 설계할 때 지켜야 하는 공정 사용 설명서에 가깝다. EDA 업체는 이 규칙을 설계 도구 안에 반영하고, 고객 설계가 실제 생산 가능한지 검증할 수 있도록 만든다.

팹리스가 EDA를 사용하는 이유가 설계 실패 비용을 줄이기 위해서라면, 파운드리가 EDA 생태계와 협력하는 이유는 고객이 자사 공정을 안정적으로 사용할 수 있다는 신뢰를 제공하기 위해서다. 따라서, EDA는 팹리스의 제품 출시 리스크와 파운드리 공정 채택률 리스크를 동시에 낮추는 소프트웨어다.

[그림 2-36] 반도체 설계의 핵심 EDA



자료 : VIOS

3.3 시스템 기업들의 자체 칩 설계 증가(Q 상승)

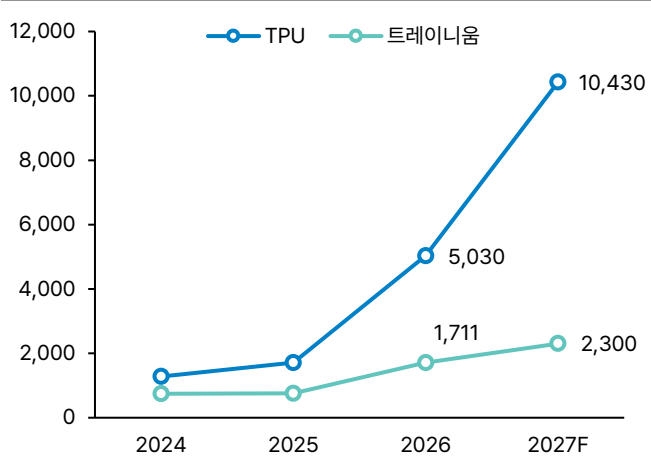
AI 서비스가 본격적으로 확산되면서 EDA 고객층은 팹리스와 파운드리에서 시스템 기업(System Company)으로 확장되고 있다. 여기서 시스템 기업은 반도체 자체를 판매하는 회사가 아니라, 디바이스·클라우드·AI 서비스·플랫폼 등 전체 시스템을 운영하는 기업을 의미한다. Apple, Google, Amazon, Microsoft, Meta가 대표적이다.

과거 EDA의 핵심 고객은 팹리스였다. 이들은 반도체를 설계해 외부 고객에게 판매하기 위해 EDA를 사용했다. 반면 시스템 기업은 칩 자체를 판매하기보다, 자사 제품과 서비스에 최적화된 custom silicon을 직접 설계하기 위해 EDA를 사용한다. 대표적으로 Apple Silicon, Google TPU, Amazon Trainium-Inferentia, Microsoft Maia, Meta MTIA가 있다.

시스템 기업들은 전통적인 반도체 기업은 아니지만, 자체 칩 설계를 시작하며 EDA 시장의 45%를 차지하게 되었다. Semianalysis에 따르면 시스템 기업들의 EDA 수요는 현재 \$15B~\$20B 규모의 시장으로 성장하였다.

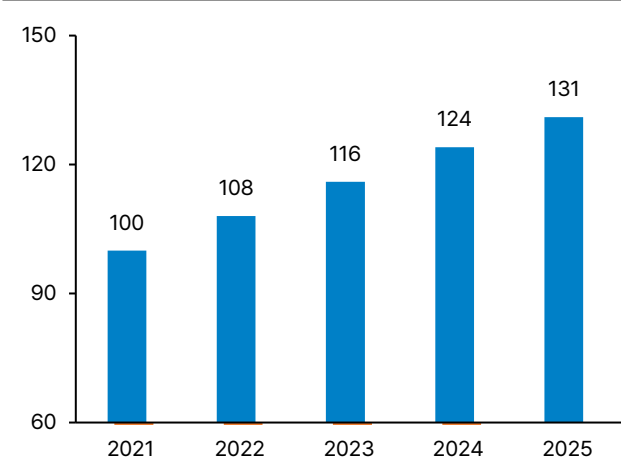
결국 EDA 수요는 더 이상 팹리스의 설계 투자에만 의존하지 않고, 자체 반도체 칩 투자로 확장되는 중이다. 시스템 기업의 자체 칩 설계 확대는 EDA 산업에 새로운 고객층과 추가 성장 축을 제공할 것으로 기대된다.

[그림 2-37] TPU·트레이니움 양산 물량 추정 (단위: 개)



자료 : UBS, VIOS

[그림 2-38] R&D 내 EDA 침투율 추이 지수



자료 : VIOS

3.4 칩 고도화에 따른 EDA 사용강도 상승(P 상승)

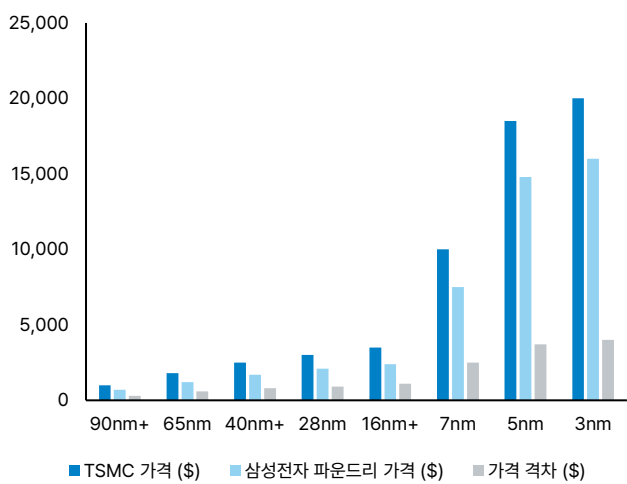
현재 EDA 시장은 새로운 고객이 늘어나는 동시에, 프로젝트당 EDA 지출도 커지는 구조에 있다.

첫 번째 이유는 칩 설계 목표가 더 어려워지고 있기 때문이다. 선단 공정으로 갈수록 제조 규칙과 검증 조건이 급격히 증가한다. 3nm 공정에서는 25,000개 이상의 설계 규칙을 만족해야 하며, 주요 규칙은 5~7개 수준(28nm)에서 20~30개 이상(3nm)으로 급증한다. 이에 따라 3nm EDA 가격은 28nm 대비 3~5배 높은 수준을 유지 중이다.

최근에는 칩을 확장하는 HBM, Chiplet, 2.5/3D packaging 같은 구조도 발전하면서 팹리스는 칩 내부만 검증하는 것이 아니라, 칩 간 연결, 네트워크, 발열 등을 함께 고려하게 됐다. 칩 확장에 필요한 공정이 추가될 때마다 EDA 가격은 상승하게 되며, 새로운 EDA 기능으로 판매된다.

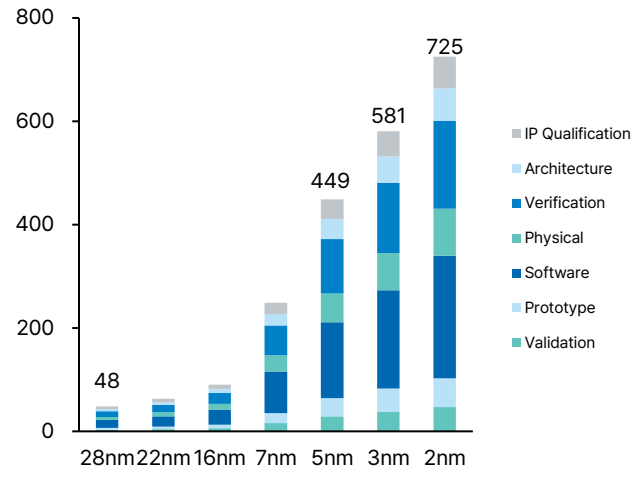
두번째로 검증 부담도 EDA 지출을 높인다. 동일한 회로 규모 기준, 7nm 칩이 28nm 칩보다 10~50배 더 많은 검증 연산을 필요로 한다. 칩 설계 기간 중 검증이 65%를 차지하고, 7/5/3nm 칩 설계에는 12~24개월이 걸린다.

[그림 2-39] 제조 공정 노드 미세화 추이 (단위: nm)



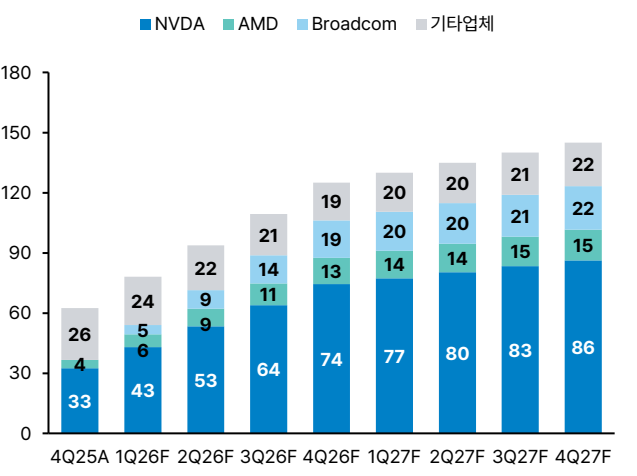
자료 : TSMC, VIOS

[그림 2-40] 공정 난도에 따른 설계 비용 (단위: \$M)



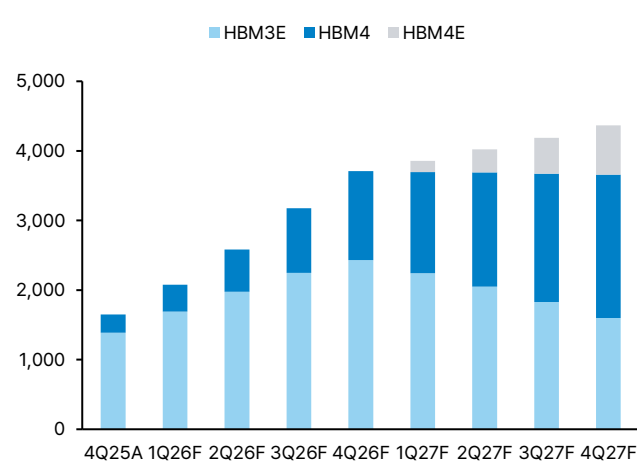
자료 : Quartr, VIOS

[그림 2-41] CoWoS CAPA 분기별 추이 (단위 : k)



자료 : VIOS

[그림 2-42] HBM 스펙별 월별 수요량 (단위 : M Gb)



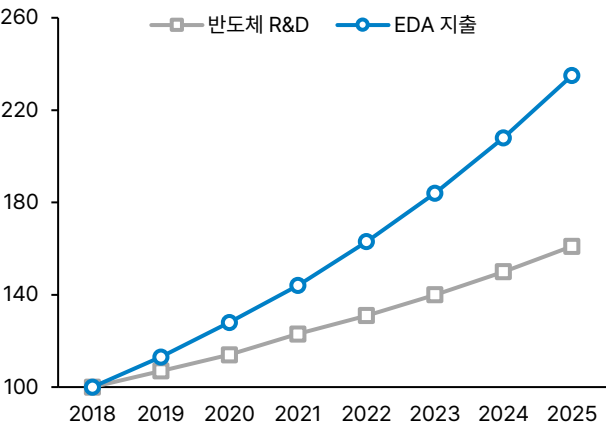
자료 : VIOS

3.5 고객당 사용량 증가와 계약 구조(P 상승)

이러한 가격 상승분을 EDA 업체들은 안정적으로 고객에게 전가하고 있다. 반도체 설계 기업의 R&D에서 EDA가 차지하는 비용은 7% 수준에서 현재 12% 수준으로 증가했다. 이는 EDA 가격이 지속적으로 상승한 것에 기인하며, 고객들이 EDA 가격 상승을 받아들이는 이유는 EDA 비용을 줄여서 얻는 이익보다 검증된 EDA를 계속 사용해 설계 실패를 피하는 이익이 크기 때문이다.

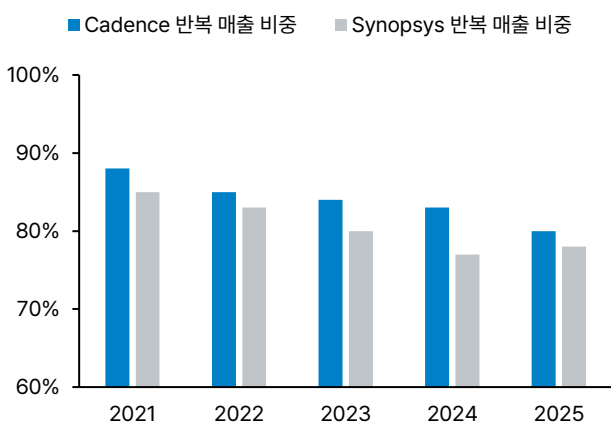
또한, EDA가 이미 설계 과정에서 필수적이기 때문에 계약을 지속적으로 갱신하게 된다. EDA 계약 가격은 연 3~7% 수준 상승했음에도 불구하고 EDA 고객 유지율은 95% 이상이고, 최종 검사와 아날로그 설계 영역에서는 99% 이상이다. EDA 업체들 매출의 70~83%는 이런 반복 계약 구조에서 발생하며, 고객들은 설계 프로젝트를 진행하는 동안 중간에 사용을 중단하기 어렵다.

[그림 2-43] EDA 지출, 반도체 R&D 성장률을 상회



자료 : VIOS

[그림 2-44] Cadence, Synopsys 반복 매출 (단위: %)



자료 : VIOS

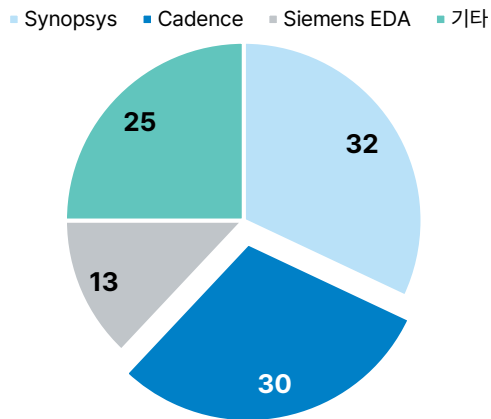
3.6 EDA 산업의 구조적 수혜, 누가 더 크게 가져가는가?

EDA 시장은 Synopsys(32%), Cadence(30%), Siemens EDA(13%) 과점 체제지만, Siemens EDA는 PCB-기판 설계 중심의 사업 구조상 AI ASIC 설계 복잡도 상승의 수혜를 직접적으로 반영하기 어렵다.

Synopsys는 디지털 설계와 검증, IP 영역에서 강점을 가진다. ASIC 설계가 늘어나고 선단공정 전환이 이어질수록 논리 합성, 검증, IP 수요는 자연스럽게 증가한다. 반도체 IP 포트폴리오가 강하기 때문에, 신규 ASIC 설계 프로젝트가 많아질수록 설계 초기 단계에서부터 수요가 확대될 가능성이 높다.

Cadence는 전통적으로 아날로그 설계 영역에서 강점을 가진다. AI ASIC처럼 성능, 전력, 면적을 세밀하게 최적화해야 하는 칩이 늘어날수록 Cadence의 기존 강점도 함께 부각될 수 있다.

[그림 2-45] 글로벌 반도체 EDA 시장 점유율 (단위: %)



자료 : VIOS

[그림 2-46] Cadence와 Synopsys 비교

구분	Cadence	Synopsys
핵심 포지션	아날로그·커스텀 IC, 물리 설계, 시스템 설계	디지털 설계, 기능 검증, 반도체 IP
AI 설계 자동화	ChipStack	DSO.ai 기반 PPA 최적화, Agent AI 공개
ASIC 대응	Full Flow 전략으로 신규 ASIC 고객 침투 확대	디지털 구현·검증·Sign-off 및 IP 기반 ASIC 수혜
시스템 설계	시스템 단위 최적화에 강점	Ansys 인수로 시스템 시뮬레이션 역량 확장

자료 : VIOS

따라서 두 기업 모두 칩 설계 복잡도 증가와 ASIC 설계 확대에 따른 수혜를 받을 것으로 기대된다. Synopsys는 디지털 설계·검증과 IP 영역에서 이미 강한 지위를 보유하고 있어 ASIC 설계 증가의 안정적인 수혜가 가능하다.

그러나 Cadence는 EDA 시장 성장의 수혜를 받는 데서 끝나지 않는다. Digital Full Flow와 ChipStack AI를 기반으로 Synopsys가 강했던 디지털 설계 영역까지 침투하고 있어, 시장 성장에 따른 매출 확대뿐 아니라 경쟁사 점유율 잠식까지 기대할 수 있다. 즉 Cadence는 산업 성장과 경쟁 구도 변화의 수혜를 동시에 받을 수 있는 위치에 있다.

Top Pick 제시

최선후주 Cadence Design Systems(CDNS, NASDAQ)

[산업분석]의 논리를 종합하면, AI CAPEX가 Cloud에서 Edge로 확장되는 흐름 속에서 ASIC의 확산과 선단공정화로 인해 칩의 Q, P가 동시에 증가하는 국면에 진입할 것이다. 이 과정에서 반도체 설계의 복잡도와 검증 부담이 함께 커지면서 EDA의 중요성은 더욱 높아질 것으로 판단한다. 특히 Cadence는 EDA 시장 성장 수혜와 Synopsys 영역 침투 가능성을 동시에 보유하고 있다는 점에서 가장 매력적이다.

이에 따라 본 보고서는 **Cadence Design System(CDNS, NASDAQ)을 EDA 업종 내 최선후주로 제시한다**. Cadence는 1) AI ASIC 디지털 플로우 침투를 통해 Synopsys의 점유율을 잠식할 가능성이 높고, 2) 2026년 출시한 ChipStack AI Super Agent를 통해 RTL 설계·검증까지 자동화 범위를 넓히며 사용량 기반 매출과 고객 락인을 동시에 강화하고 있다. 시스템 설계 역량과 Agentic AI 상용화 진도가 가장 앞서 있으며 산업 수혜를 가장 빠르고 직접적으로 흡수할 위치에 있다고 판단한다.

차선후주 Synopsys(SNPS, NASDAQ)

그럼에도 불구하고, 같은 과점 구조의 수혜를 공유하는 만큼 Synopsys를 배제할 이유는 없다고 판단하며 **Synopsys(SNPS, NASDAQ)를 업종 내 차선후주로 함께 제시한다**.

III. 기업분석

1. 기업개요

Cadence Design Systems (CDNS, NASDAQ)는 반도체 설계에 필요한 EDA, 반도체 IP, 시스템 설계 및 분석 솔루션을 제공하는 글로벌 설계 자동화 기업이다. 2026년 기준 동사는 Synopsys와 함께 전 세계 EDA 시장의 약 60%를 과점하며, 단순 소프트웨어 공급사를 넘어 칩 설계 전반을 주도하는 기업으로 자리잡았다. Google, NVIDIA 등 주요 기업들과 파트너십, 공격적 M&A를 통해 AI 시대 설계 자동화 생태계의 핵심 플랫폼으로 진화하고 있다.

[표 3-1] 동사 주요 연혁

연도	주요 내용
1988	SDA와 ECAD 합병으로 Cadence Design Systems 설립
2005	NASDAQ 단독 상장 전환
2013	Tensilica를 인수
2021	누메카(NUMECA)를 인수
2022	퓨처퍼실리티스 인수
2025	Hexagon D&E 사업부 인수
2026	ChipStack AI Super Agent 출시

자료 : 동사 IR, VIOS

2. 사업부문

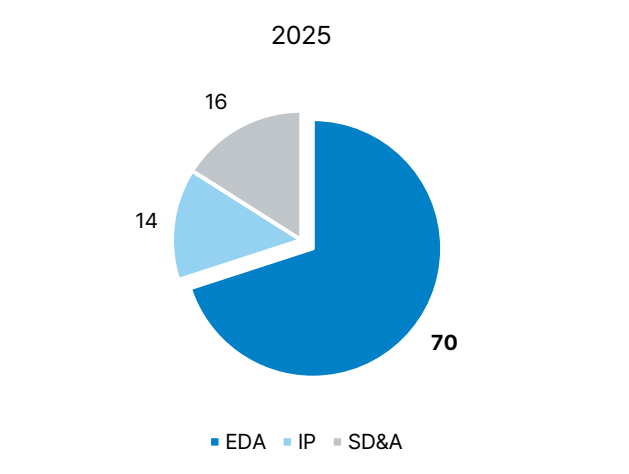
동사의 사업은 2025년 기준 Core EDA(70%), 반도체 IP(14%), SDA(System Design and Analysis, 16%)로 구분된다. 반도체 선단공정 미세화와 설계 난이도 상승이 동사 사업부문 전반의 구조적 성장을 견인하고 있다.

[표 3-2] 동사 주요 제품군 및 사업부

사업 부문	제품명
Core EDA	Virtuoso Studio
	Innovus+ Platform
	Xcelium Logic Simulation
	Palladium / Protium
Semiconductor IP	Silicon Solutions (Design IP)
SDA	Cadence Reality Digital Twin
Cadence.AI	ChipStack AI Super Agent
	Verisium Platform
	Cadence Cerebrus AI Studio
	Millennium M2000 Supercomputer

자료 : 동사 IR, VIOS

[그림 3-1] 2025년 사업부별 매출 비중

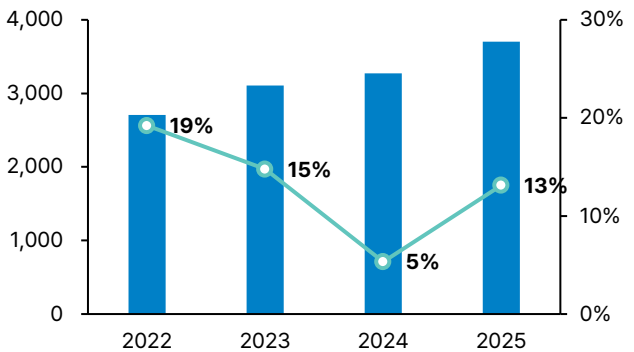


자료 : 동사 IR, VIOS

2.1. Core EDA 사업부

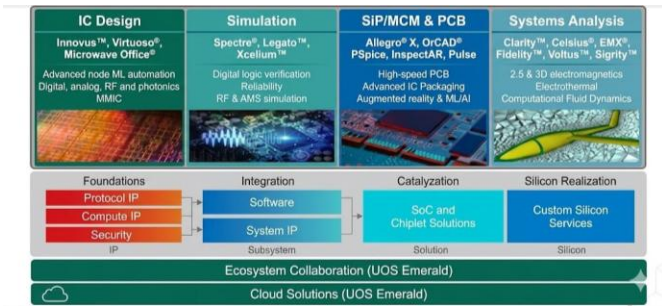
동사는 아날로그·디지털 IC 설계, 시뮬레이션, 기능 검증을 포괄하는 EDA 플랫폼을 제공한다. 대표 솔루션으로는 디지털 설계 툴 Innovus, 아날로그 설계 툴 Virtuoso Studio, 하드웨어 에뮬레이션 장비 Palladium Z3 등이 있으며, 주요 파운드리 최신판공정과 높은 호환성을 바탕으로 안정적인 고객 기반을 확보하고 있다. 2026년 출시한 Agentic AI 설계 솔루션 ChipStack AI Super Agent은 EDA 설계 플로우 전반에 통합되어 설계 생산성을 높일 것으로 판단된다.

[그림 3-2] Core EDA 사업부 매출 추이 (단위: \$M, %)



자료 : 동사 IR, VIOS

[그림 3-3] 동사 EDA 포트폴리오

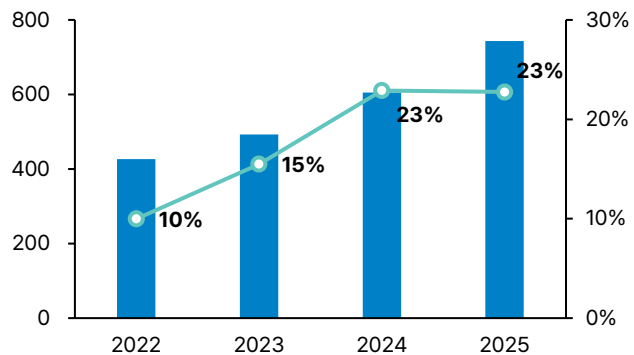


자료 : 동사 IR, VIOS

2.2. 반도체 IP 사업부

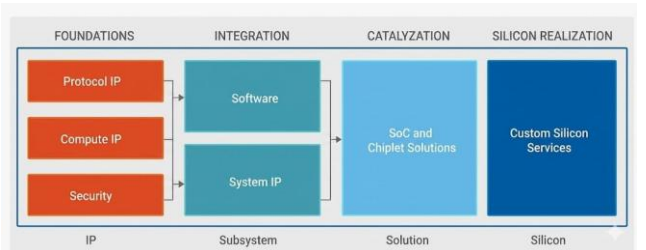
동사의 IP 사업은 HBM, DDR, PCIe, CXL 등 고속 인터페이스 및 메모리 IP를 중심으로 구성된다. AI 가속기와 데이터센터용 반도체 설계 증가에 따라 관련 수요는 확대되고 있으나, 본 보고서에서는 IP를 핵심 투자포인트보다는 EDA 플랫폼 락인을 강화하는 부가 사업으로 판단한다. IP와 검증 솔루션의 연계는 고객 개발 효율성을 높이고 동사 툴체인 의존도를 강화하는 역할을 한다.

[그림 3-4] IP 사업부 매출 추이 (단위: \$M, %)



자료 : 동사 IR, VIOS

[그림 3-5] IP 실리콘 솔루션 포트폴리오

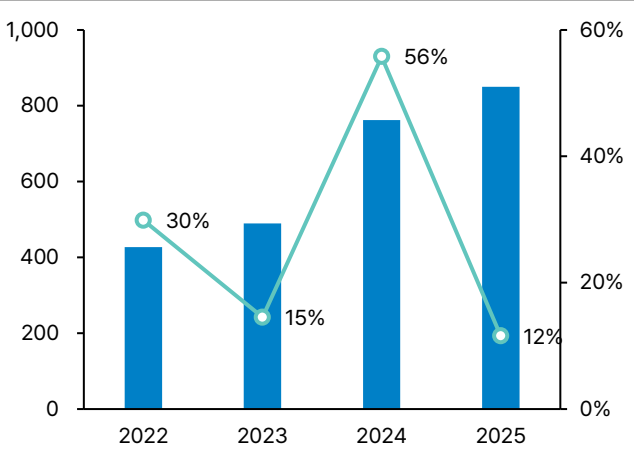


자료 : 동사 IR, VIOS

2.3. SDA(System Design & Analysis) 사업부문

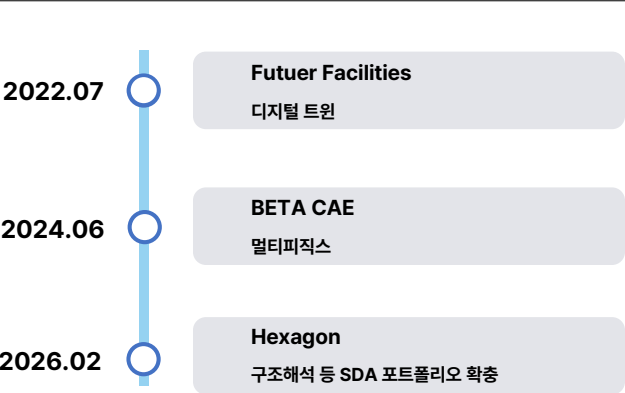
SDA는 시스템 설계 및 시뮬레이션을 지원하는 사업부문이다. 패키징 설계, 열·유체·전력 해석, 데이터센터 운영 관리 등 각 영역별로 특화된 플랫폼을 제공하고 있다. 동사는 피지컬 AI 산업 확대에 대응하고 종합 시뮬레이션 플랫폼 역량을 강화하기 위해, 2025년 Hexagon D&E 사업부 인수를 비롯한 M&A를 지속하고 있다. SDA 사업부문은 2023년 12%에서 2025년 16%로 매출 비중이 확대되고 있다.

[그림 3-6] SDA 사업부 매출액 추이 (단위: \$M, %)



자료 : 동사 IR, VIOS

[그림 3-7] SDA 부문 M&A 타임라인



자료 : 동사 IR, VIOS

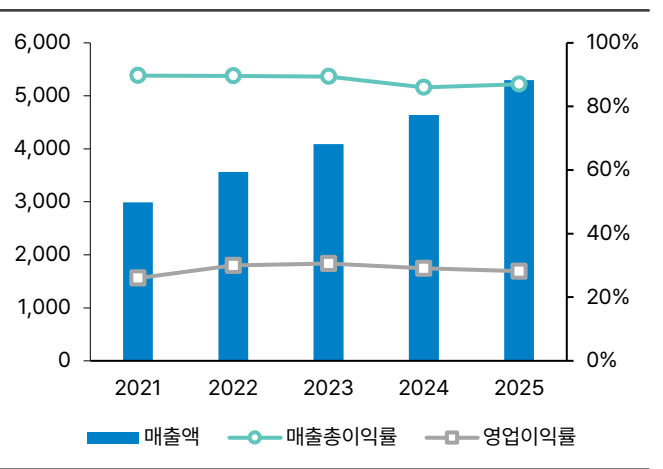
3. 재무분석

동사는 성장 투자 확대에도 안정적인 수익성을 유지하고 있다. 최근 5개년 영업이익률은 26~31% 범위에서 관리되었으며, R&D 비용은 2021년 11.3억 달러에서 2025년 17.7억 달러로 증가했음에도 매출 대비 비중은 38%에서 33%로 하락했다. 이는 매출 성장에 따른 영업 레버리지가 나타나고 있음을 의미한다.

재무 안정성 측면에서 2025년 부채비율은 85.4%로 전년 대비 완화되었으며, 24년 BETA CAE와 Hexagon D&E 인수에 따른 차입 부담은 안정적인 현금창출로 관리 가능한 수준이다.

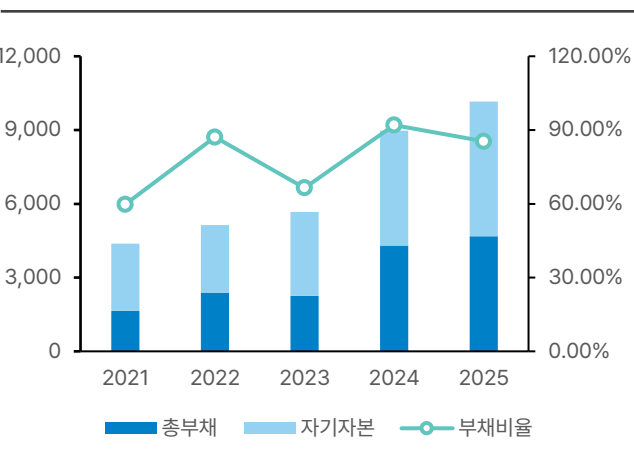
수익성 측면에서도 2025년 영업이익률은 28.2%로 Synopsys의 24.0%를 상회한다. Synopsys가 대형 M&A를 통한 외형 확장에 집중하는 반면, 동사는 수익성 방어와 기술 투자를 균형 있게 확보하고 있다.

[그림 3-8] CDNS 매출액, 영업이익률 추이 (단위: \$M, %)



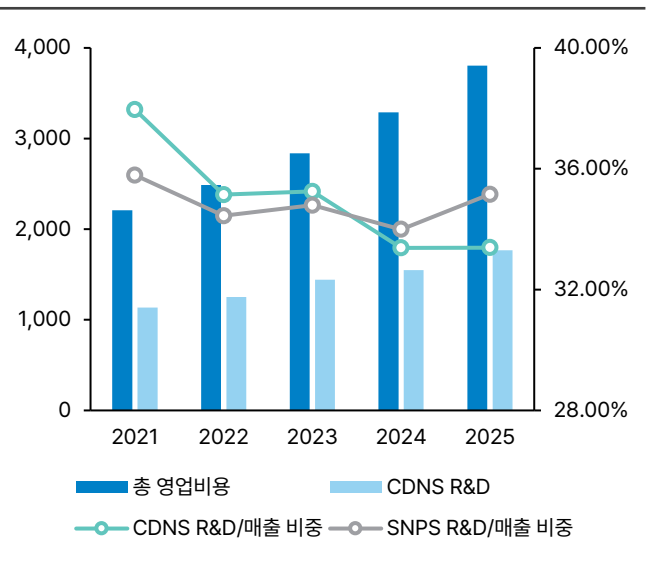
자료 : 동사 IR, VIOS

[그림 3-9] CDNS 자본, 부채 총계 부채비율 (단위: \$M, %)



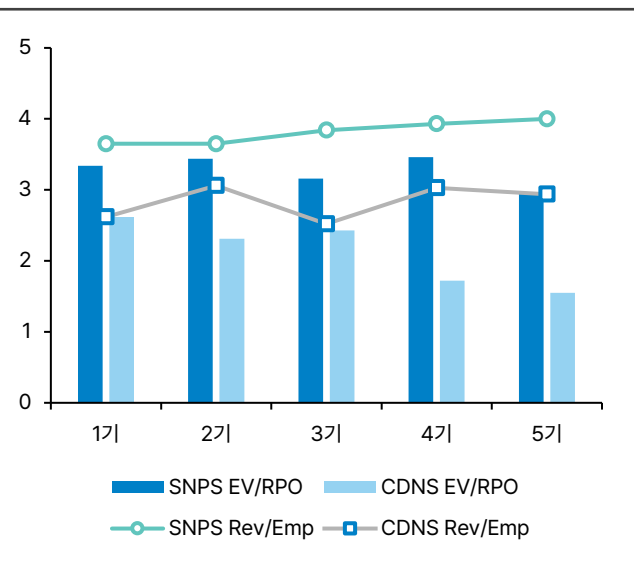
자료 : 동사 IR, VIOS

[그림 3-10] CDNS 5개년 R&D 및 총 영업 비용 (단위: \$M)



자료 : 동사 IR, VIOS

[그림 3-11] 백로그 추이 (단위: \$M, %)



자료 : 동사 IR, VIOS

IV. 투자포인트

투자포인트 1. Digital Full Flow: ASIC 신규 고객 침투

시스템 기업들의 Digital Full Flow EDA 채택으로 동사의 시장 침투 확대가 기대된다. ASIC은 설계 수정 비용과 일정 지연 부담으로, 설계 단계에서부터 PPA 최적화와 작업 처리 시간 단축(TAT)을 동시에 달성하는 것이 중요하다. 이에 동사는 RTL 설계부터 검증 과정을 아우르는 Digital Full Flow 전략으로 신규 고객층을 흡수하고 있다.

동사의 Digital Full Flow는 Genus(합성) → Innovus(구현) → Cerebrus AI(최적화)로 이어지는 통합 플랫폼이다. Genus에서의 합성 결과가 Innovus로 구현되고, Cerebrus AI는 이 흐름 전반에서 최적화를 제공한다. 이를 바탕으로, 동사는 경쟁사 대비 TAT를 최대 46% 단축하고 Fmax 달성률을 3%p 개선하였다.

[표 4-1] 동사 Digital Full Flow 레퍼런스

적용 사례	비교 항목	경쟁사 기술	동사 Digital Full Flow	개선 효과
Custom mobile CPU core @12nm	Fmax 목표 달성률	94.70%	97.80%	+3.1%p
	총 TAT	81시간	44시간	-46%
Mobile CPU 3.5M inst core @5nm	Fmax 목표 달성률	100%	100%	동등
	총 TAT	100	65	-35%

자료 : 동사 IR, VIOS

고객사의 Full Flow 채택은 강력한 락인 구조로 이어진다. 하이퍼스케일러의 자체 칩 설계(COT) 확대로 EDA 신규 고객이 증가 중이며, 동사 Full Flow를 채택한 고객은 전환 비용이 높아져 락인 효과가 발생한다. 이러한 Full Flow 채택 확대는 동사의 EDA 성장률 개선으로 확인되고 있다.

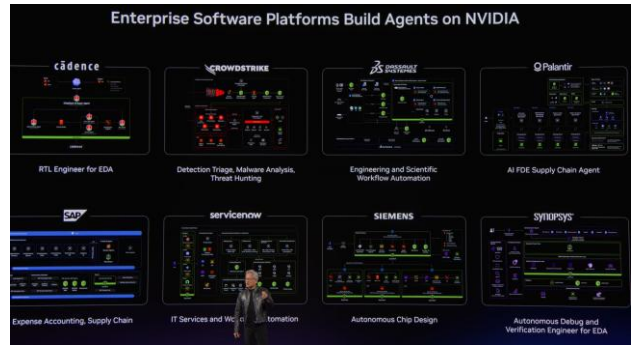
FY25 동사는 25개의 신규 고객사를 확보했으며, EDA 부문 성장률도 13%로 Synopsys(8%)를 상회했다. 이는 Full Flow 중심의 신규 고객 확보가 실제 매출 모멘텀으로 전환되고 있음을 시사한다. 결론적으로, ASIC 설계 수요 급증 → 신규 설계자의 Full Flow 채택 → 동사 플랫폼 락인이라는 선순환 구조속에서 AI ASIC 신규 고객층을 빠르게 흡수하는 포지션이 형성되고 있다.

[표 4-2] Digital Full Flow 고객사 및 성과

고객사	성과
삼성	핵심 블록 전력 8% 절감
Renesas	설계 성능 10% 이상 향상
Imagination Technologies	5nm GPU 누설전력 20%, 총전력 6% 절감

자료 : 동사 IR, VIOS

[그림 4-1] NVDA & CDNS



자료 : NVDA, VIOS

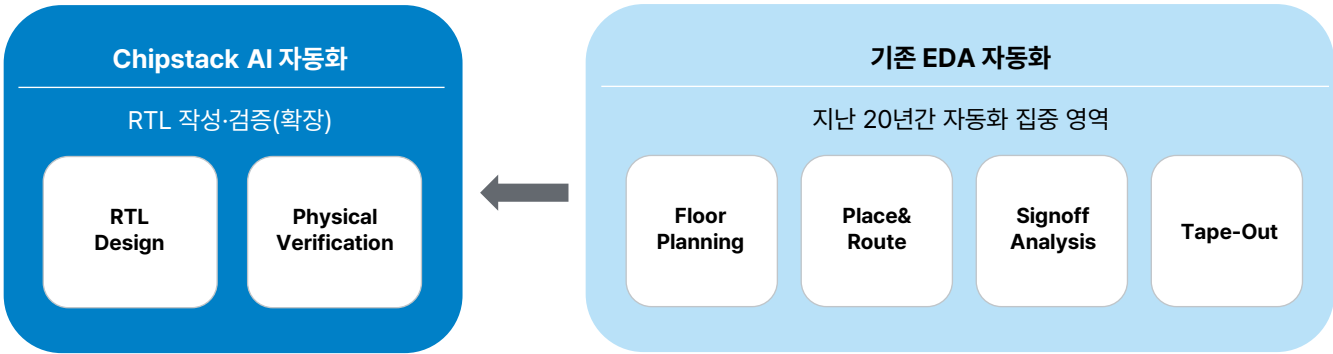
투자포인트 2. ChipStack AI Super-Agent

동사는 2026년 RTL 설계와 검증 영역을 자동화하는 **Agentic AI 워크플로인 ChipStack AI Super-Agent**를 출시했다. RTL은 칩 내부 데이터 흐름을 정의하는 설계 단계로, 이후 기능 검증 → 합성 → 구현(P&R) → Sign-off → Tape-out으로 이어진다. 지난 20년간 EDA 자동화는 RTL 이후 단계에 집중되었으나, ChipStack을 통해 RTL 작성과 검증까지 자동화 범위에 포함됐다.

일반적인 LLM은 복잡한 RTL 설계 시 일관성과 신뢰도가 제한된다. 반면 ChipStack은 실제 설계 사양과 과거 데이터를 통합한 공통 레이어를 기반으로 구동되어 설계 전 단계에 걸쳐 데이터 무결성을 확보할 수 있다.

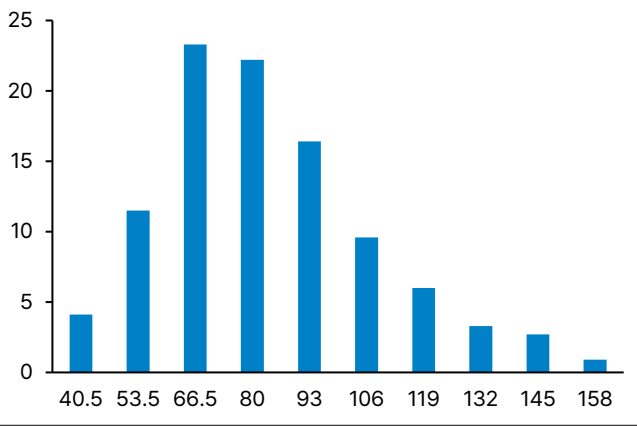
이러한 구조는 설계 시간 단축과 비용 효율화로 이어진다. 동사는 ChipStack이 최대 10배의 생산성 향상과 약 2배의 정확도 개선을 제공한다고 밝혔다. AI 반도체 스타트업 Tenstorrent는 3개월 동안 핵심 블록 검증에 ChipStack을 도입해 검증 시간을 최대 4배 단축했다. 결과적으로 블록당 약 30시간, 총 100시간 이상의 작업 시간을 절약하는 효과를 확인했다.

[그림 4-2] ChipStack AI Super-Agent



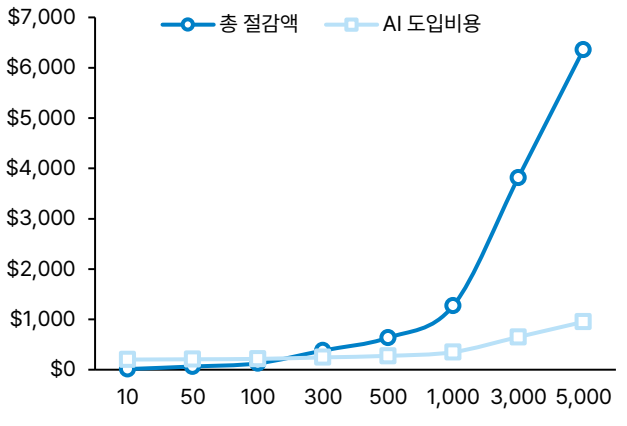
자료 : VIOS

[그림 4-3] SoC 엔지니어 연봉 (단위: \$K, %)



자료 : ziprecruiter, VIOS

[그림 4-4] AI 비용과 인건비 절감 비교 (단위: \$K, 개)



자료 : NVDA, VIOS

시간 단축은 직접적인 인건비 절감으로 이어진다. 실제로 칩 개발에 소요되는 전체 시간에서 60% 이상이 설계 검증에 사용되며, 그 중 RTL 코딩, 검증, 디버깅 등 반복 작업(자동화 범위) 설계 시간이 70% 이상을 차지한다. 2025년 8월 기준 미국 SoC Design Engineer 평균 연봉은 \$88,150(시간당 약 \$42.38)이다. Tenstorrent 사례를 적용하면 1개의 블록당 절감된 인건비는 약 \$1,271로 추정되며, 다수 블록·다수 인원·연간 단위로 누적할 경우 절감 효과는 더욱 확대된다.

검증 비용 절감액 = 30시간 × \$42.38/hour = \$1,271

ChipStack 도입은 동사의 매출에도 긍정적이다. AI 에이전트 자체의 신규 사용료가 발생하고, AI가 설계 대안을 탐색하고 검증을 반복하는 과정에서 Xcelium, Verisium, Innovus 등 기존 플랫폼의 사용 빈도가 높아져 사용량 기반 매출이 추가로 창출된다. ChipStack이 기존 EDA 툴을 대체하지 않고 사용량을 증폭시키는 구조이기 때문이다.

이러한 구조는 고객사 락인을 자연스럽게 강화한다. ChipStack에 설계 이력과 사양서가 쌓일수록 전환 비용이 높아지고, Verisium·Xcelium 등 케이던스 자체 플랫폼과의 기술적 결합도가 높아 전체 툴체인을 유지하는 것이 공정 효율성 면에서 유리하기 때문이다.

2026년 동사는 ChipStack에 이어 아날로그 설계용 ViraStack, 디지털 구현용 InnoStack AI Agent을 발표했다. 자동화 범위가 RTL·검증을 넘어 아날로그, 3D-IC, 시스템 설계까지 확장될 수 있는 기반이 마련된 셈이다. 기존 백엔드 최적화 솔루션 Cerebrus에 ChipStack, 공정별 특화 에이전트가 더해진, 통합적인 AgentStack을 통해 각 설계 과정을 연동하면서 설계 전 공정으로 동사의 Agentic AI가 확대되고 있다.

V. 리스크 분석

대중국 수출 규제 영향 및 로컬 EDA 업체 추격 가능성

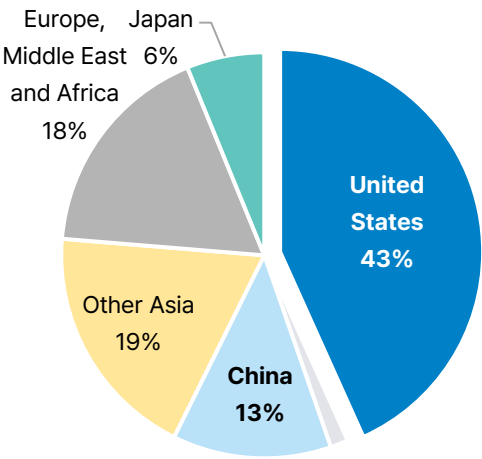
반도체 시장의 미·중 갈등 국면에서 중국향 매출 감소는 동사의 핵심 리스크로 지목된다. 동사의 중국 관련 리스크는 규제와 시장 경쟁 두 갈래로 나뉘지만, 어느 쪽도 중장기 실적을 훼손할 수준은 아니라고 판단한다. 규제는 이미 확정된 과거 사안이고, 경쟁은 첨단공정의 높은 진입장벽이 방어하기 때문이다.

규제 측면에서 동사는 2025년 7월, 2015~2021년 발생한 대중국 수출통제 위반과 관련해 1억 4,060만 달러의 벌금을 납부하고 향후 3년간 보호관찰 및 연 2회 내부 감사 의무를 부과받았다. 그러나 이는 과거 행위에 대한 제재로 벌금과 후속 조치가 이미 확정된 사안으로 향후 동사 실적에 미치는 추가 영향은 제한적일 것으로 판단한다.

시장 경쟁 측면에서는 중국 현지 EDA 업체의 기술력 향상과 중국 정부의 국산화 정책이 중장기 리스크로 작용할 수 있다. 그러나 첨단 공정용 EDA 툴은 높은 기술적 복잡성과 방대한 검증 데이터를 요구해 진입장벽이 매우 높다. 단기간 내 중국 로컬 업체가 동사를 대체하거나 유의미한 점유율을 확보할 가능성은 크지 않다.

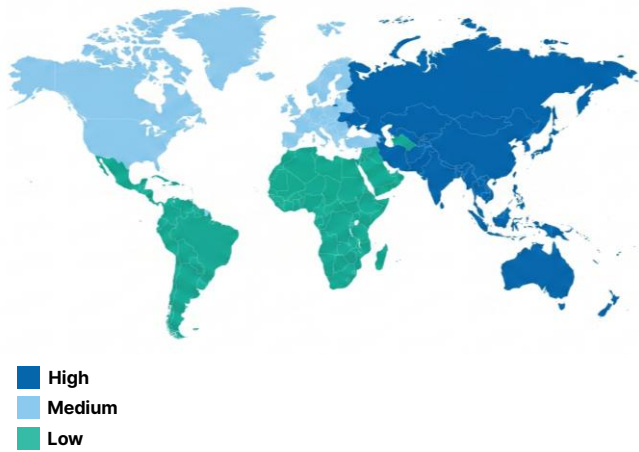
다만 미국 정부가 EDA 소프트웨어에 대한 대중국 수출 규제를 직접적으로 강화할 경우, 동사의 대중국 매출에 일부 부정적인 영향이 발생할 가능성은 존재한다. 그럼에도 불구하고 동사의 중국 매출 비중은 13% 수준에 그치며 매출 기반도 글로벌 주요 파운드리와 시스템 반도체 고객으로 분산되어 있다. 따라서 중국 관련 규제가 강화되더라도 전사 실적에 미치는 영향은 제한적일 것으로 판단한다.

[그림 5-1] 2025년 동사 국가별 매출 비중 (단위: %)



자료 : 동사 IR, VIOS

[그림 5-2] 중국 EDA 매출 vs 케이던스 EDA



자료 : 동사 IR, VIOS

VI. Valuation

1. 매출 추정

동사의 매출은 공시된 기준으로 **Core EDA(EDA), Semiconductor IP(IP), System Design and Analysis(SDA)**사업부로 나누어 추정하였다. 동사의 회계연도 기준으로 추정한 최종 매출 테이블은 다음과 같다.

[표 6-1] Revenue Table (단위: \$M)

Revenue	2021A	2022A	2023A	2024A	2025A	2026E	2027E	2028E	2029E	2030E
Total Revenue	2,988	3,562	4,090	4,641	5,297	6,181	7,181	8,309	9,582	11,023
EDA	2,271	2,708	3,108	3,273	3,703	4,321	5,027	5,834	6,754	7,803
IP	388	427	493	605	743	875	1,031	1,214	1,430	1,684
SDA	329	427	489	762	850	985	1,123	1,261	1,398	1,536
% of Revenue	2021A	2022A	2023A	2024A	2025A	2026E	2027E	2028E	2029E	2030E
EDA	76.0%	76.0%	76.0%	70.5%	69.9%	69.9%	70.0%	70.2%	70.5%	70.8%
IP	13.0%	12.0%	12.0%	13.0%	14.0%	14.2%	14.4%	14.6%	14.9%	15.3%
SDA	11.0%	12.0%	12.0%	16.4%	16.1%	15.9%	15.6%	15.2%	14.6%	13.9%
% YoY	2021A	2022A	2023A	2024A	2025A	2026E	2027E	2028E	2029E	2030E
EDA		19.2%	14.8%	5.3%	13.1%	16.7%	16.3%	16.0%	15.8%	15.5%
IP		10.0%	15.5%	22.9%	22.8%	17.8%	17.8%	17.8%	17.8%	17.8%
SDA		29.9%	14.5%	55.8%	11.6%	16%	14%	12%	11%	10%

1.1 Core EDA

Core EDA 사업부의 매출은 동사 고객사의 1) R&D 금액 성장률과 R&D 비용 중 2) EDA 침투율을 중심으로 추정하였다. 동사의 매출은 고객사의 R&D 금액에서 발생하며, R&D 금액 성장률은 고객사의 설계 투자 확대 방향과 설계 활동 증가 속도를 보여주는 지표라고 판단하여 이를 EDA 수요의 기초 성장률로 삼았다.

[표 6-2] EDA 매출 추정 (단위: \$M)

EDA 매출추정	2021A	2022A	2023A	2024A	2025A	2026E	2027E	2028E	2029E	2030E
CDNS EDA 매출액	2,271	2,708	3,108	3,273	3,703	4,321	5,027	5,834	6,754	7,803
CDNS EDA 매출 성장률						16.7%	16.3%	16.0%	15.8%	15.5%
1) 추정 R&D 성장률						10.7%	10.7%	10.7%	10.7%	10.7%
2) EDA 침투 증가율		7.9%	7.3%	6.8%	6.4%	6.0%	5.6%	5.3%	5.1%	4.8%

1) 고객사 R&D 금액 성장률

고객사 R&D의 금액 성장률 10.7%를 기준으로 활용했다. 동사의 제품을 구매하는 고객은 팹리스, 파운드리, 시스템기업들이다. 추정 R&D 시장규모와 각각의 밸류체인별 R&D 금액은 아래와 같다.

[표 6-3] R&D 시장성장률 (단위: \$M)

R&D 시장성장률	2021A	2022A	2023A	2024A	2025A	2026E	2027E	2028E	2029E	2030E
R&D 시장 성장률		25%	11%	11%	18%	9%	9%	10%	9%	7%
R&D 시장 규모	224,777	280,739	311,532	346,692	409,735	445,456	487,122	535,090	581,074	621,389

[표 6-4] 밸류체인별 R&D 금액 (단위: \$M)

밸류체인별 R&D 금액	2021A	2022A	2023A	2024A	2025A
고객사 R&D 총계	224,777	280,739	311,532	346,692	409,735
미국	2021A	2022A	2023A	2024A	2025A
Total	199,019	250,567	278,316	307,066	364,352
Intel (INTC)	15,190	17,528	16,046	16,546	13,774
Micron (MU)	2,663	3,116	3,114	3,430	3,798
Texas Instruments (TXN)	1,554	1,670	1,863	1,959	2,083
Analog Devices (ADI)	1,296	1,701	1,660	1,488	1,766
Microchip Technology (MCHP)	989	1,118	1,097	984	1,086
NVIDIA (NVDA)	5,268	7,339	8,675	12,914	18,497
Broadcom (AVGO)	4,854	4,919	5,253	9,310	10,977
Qualcomm (QCOM)	7,176	8,194	8,818	8,893	9,042
AMD (AMD)	2,845	5,005	5,872	6,456	8,091
Marvell (MRVL)	1,404	1,784	1,896	1,950	2,075
Cirrus Logic (CRUS)	406	458	427	435	434
Lattice Semiconductor (LSCC)	110	135	159	158	186
Apple (AAPL)	21,914	26,251	29,915	31,370	34,550
Alphabet (GOOGL)	31,562	39,500	43,709	48,789	58,687
Amazon (AMZN)	56,052	73,213	85,622	88,544	108,521
Microsoft (MSFT)	20,716	24,512	27,195	29,510	32,488
Meta (META)	24,655	33,619	36,489	43,619	57,372
GlobalFoundries (GFS)	331	383	356	415	475
Credo (CRDO)	34.8	47.9	76.8	95.5	146
Astera Labs (ALAB)		74	73	201	304

(단위: 십억원, \$M)

한국	2021A	2022A	2023A	2024A	2025A
Total(달러환산)	17,416	19,765	21,523	26,458	29,667
Total(현지통화)	26,124	29,648	32,285	39,687	44,500
삼성전자 (005930)	22,402	24,919	28,340	34,998	37,740
DB하이텍 (000990)	62	77	84	88	99
SK하이닉스 (000660)	3,469	4,422	3,628	4,354	6,406
LX세미콘 (108320)	171	211	210	219	227
아나패스 (123860)	12	12	14	16	16
칩스앤미디어 (094360)	7	7	9	11	11

(단위: 십억TWD)

대만	2021A	2022A	2023A	2024A	2025A
Total(달러환산)	7,397	9,327	9,770	11,161	13,019
Total(현지통화)	229,303	289,147	302,876	346,002	403,604
TSMC (TSM)	124,735	163,262	182,370	204,182	246,427
Nanya Technology (2408)	7,499	7,841	7,576	7,686	7,040
MediaTek (2454)	96,080	116,874	111,384	131,993	148,306
Alchip (3661)	989	1,170	1,546	2,141	1,831

(단위: \$M)

영국/미국ADR	2021A	2022A	2023A	2024A	2025A
Arm (ARM)	945	1,080	1,922	2,007	2,697

과거 10년(2015~2025) 장기 추세는 LLM 본격화 이전 구간을 포함하고 있어 현재의 R&D 지출환경을 충분히 반영하지 못한다고 판단하였다. 반면, 과거 5년(2021~2025) CAGR의 경우 2021년에서 2022년으로 이어진 급증효과가 포함되어 있어, 이를 그대로 적용할 경우 성장률이 12.7% 수준으로 과대계상될 수 있다.

따라서 2021~2025년 주요 고객사 R&D 금액을 기준으로 2030년까지의 R&D 추세 금액을 산출하였다. EDA 수요는 고객사 R&D 확대와 같은 방향으로 움직이나, 연도별 R&D 성장률 변동이 동사의 매출에 즉시 일대일로 반영되기보다는 반도체 설계 투자 확대의 중장기 방향성이 더 중요한 변수라고 판단하였다.

이에 따라 2030년 도출한 추세 금액을 2021년 실제 R&D 금액 대비 CAGR로 환산하여 10.7%의 R&D 성장률을 동사 EDA 매출 성장률의 기준으로 사용하였다.

2) EDA 침투율

R&D 내 EDA 침투율은 2025년 11.5%에서 2030년 15.0%까지 점진적으로 상승하는 것으로 가정하였다. EDA 침투율은 2021년 8.8%에서 2025년 11.5%로 상승했으며, 이는 [산업분석]에서 서술한 반도체 설계 복잡도 증가와 ASIC 확대에 기인한다. 향후 AI 산업 성장에 따른 고선단화, 3D 구조 설계 등으로 EDA 사용 환경은 과거보다 우호적일 것으로 기대되나, 보수적인 추정을 위해 2021~2025년의 침투율 상승폭과 유사한 수준의 증가만 반영하였다.

[표 6-5] EDA 침투 증가율

EDA 침투증가율	2021A	2022A	2023A	2024A	2025A	2026E	2027E	2028E	2029E	2030E
R&D 중 EDA 침투 증가율		7.9%	7.3%	6.8%	6.4%	6.0%	5.6%	5.3%	5.1%	4.8%
R&D 중 EDA 침투율	8.8%	9.5%	10.2%	10.9%	11.5%	12.2%	12.9%	13.6%	14.3%	15.0%

1.2 Semiconductor IP

IP 매출은 고객사 R&D 성장률에 IP 사용량 프리미엄을 반영하여 추정하였다. IP 수요 역시 고객사의 반도체 설계 활동에서 발생하므로 주요 고객사 R&D 증가율을 기초 성장률로 사용하였다. 다만 IP 매출은 외부 IP block 채택률, 설계당 IP 사용량, 그리고 해당 IP가 탑재된 칩 출하량 증가에도 영향을 받는다. 과거 IP 매출 성장률이 R&D 성장률을 상회한 폭에 이러한 효과가 포괄적으로 반영되어 있다고 판단하여 과거 IP 매출 성장률이 R&D 성장률을 상회하는 평균 값을 IP 프리미엄으로 산출하고, 이를 향후 IP 매출성장률에 반영하였다.

[표 6-6] IP 매출 추정

IP 매출추정	2021A	2022A	2023A	2024A	2025A	2026E	2027E	2028E	2029E	2030E
IP 매출 성장률		10.0%	15.5%	22.9%	22.8%	17.8%	17.8%	17.8%	17.8%	17.8%
R&D 성장률		10.7%	10.7%	10.7%	10.7%	10.7%	10.7%	10.7%	10.7%	10.7%
IP 매출성장률 프리미엄		-0.7%	4.8%	12.2%	12.1%	7.1%	7.1%	7.1%	7.1%	7.1%

1.3 System Design and Analysis

SDA 매출은 과거 매출액의 선형 추세를 기준으로 추정하였다. AI ASIC, HBM, Chiplet, 2.5D/3D 패키징 확대에 따라 시스템 단위 설계·검증 수요가 증가하는 방향성은 명확하나, Core EDA처럼 고객사 R&D 성장률이나 EDA 침투율로 직접 환산하기 어렵고 2024년의 높은 성장률에는 M&A 효과가 함께 반영되어 있다.

[표 6-7] SDA 매출추정 (단위: \$M)

SDA 매출추정	2021A	2022A	2023A	2024A	2025A	2026E	2027E	2028E	2029E	2030E
SDA 매출	329	427	489	762	850	985	1,123	1,261	1,398	1,536
YoY		29.9%	14.5%	55.8%	11.6%	15.8%	14.0%	12.3%	10.9%	9.9%
% of Revenue	11.0%	12.0%	12.0%	16.4%	16.1%	15.9%	15.6%	15.2%	14.6%	13.9%

2. 비용 추정

2021년부터 2025년 과거 5개년을 기반으로 추정을 진행하였다. 성격별 비용이 별도로 공시되지 않아 Segment Reporting 주석을 참고하여 변동비성 비용과 고정비성 비용으로 구분하여 산정하였다. 다만 Segment 기준 비용 산정 방식의 특성상 성격별 비용 합계와 재무제표상 총비용 간에 일부 차이가 발생하며, 이를 Reconciliation 항목으로 별도 조정하였다.

2.1 성격별 비용 항목

Manufacturing costs를 제외한 모든 항목은 매출액과의 연동성이 낮은 고정성 비용으로 분류하였고, 항목별 특성에 맞는 증가율 적용하여 추정하였다.

변동비성 비용

1) Manufacturing costs

제조 원가는 과거 5개년 중 매출액 대비 비중이 가장 높았던 7.1%를 보수적 기준으로 차용하여, 추정 기간 전체에 걸쳐 매출액 대비 7.1%를 일정하게 적용하였다.

고정비성 비용

1) Salary, benefits and other employee-related costs

인건비 및 복리후생비로 연평균 증가율을 적용해 추정하였다. 연평균 직원 수 증가율 11%에 임금상승률 3%를 가산하여 연 14%의 증가율을 적용하였다.

2) Stock-based compensation

주식보상비용은 과거 5개년 실적치의 추세를 토대로 추정하였다.

3) Depreciation and amortization

감가상각비는 직전 5개년 매출액 대비 평균 비율을 산정하여 적용하였다.

[표 6-8] Costs Table

(단위: \$M)

Manufacturing costs	2021A	2022A	2023A	2024A	2025A	2026E	2027E	2028E	2029E	2030E
Manufacturing costs	116	173	232	331	377	439	510	590	680	783
% of Revenue	3.9%	4.9%	5.7%	7.1%	7.1%	7.1%	7.1%	7.1%	7.1%	7.1%
Employee-related costs	2021A	2022A	2023A	2024A	2025A	2026E	2027E	2028E	2029E	2030E
Employee-related costs	1,466	1,575	1,754	1,937	2,132	2,431	2,771	3,159	3,601	4,105
Number of employees	9,300	10,200	11,200	12,700	13,800	15,263	16,881	18,671	20,650	22,839
% of Revenue	49.1%	44.2%	42.9%	41.7%	40.3%	39.3%	38.6%	44.0%	50.1%	57.2%
Stock based compensation	2021A	2022A	2023A	2024A	2025A	2026E	2027E	2028E	2029E	2030E
Stock based compensation	210	270	326	391	455	514	575	636	697	758
% of Revenue	7.0%	7.6%	8.0%	8.4%	8.6%	8.3%	8.0%	8.9%	9.7%	10.6%
Depreciation and amortization	2021A	2022A	2023A	2024A	2025A	2026E	2027E	2028E	2029E	2030E
Depreciation and amortization	142	132	145	197	228	254	286	336	396	454
% of Revenue	4.8%	3.7%	3.6%	4.2%	4.3%	4.1%	4.0%	4.0%	4.1%	4.1%

2.2. Tax Expense

Tax Expense는 직전 5개년 평균 실효세율을 기준으로 적용하였다.

[표 6-9] Tax Expense

(단위: \$M)

Tax expense	2021A	2022A	2023A	2024A	2025A	2026E	2027E	2028E	2029E	2030E
Tax expense	72	196	241	340	413	395	526	639	773	895
Tax rate	9.4%	18.8%	18.8%	24.4%	27.1%	19.7%	21.8%	22.4%	23.1%	22.8%

3. 손익계산서

상기 논의를 종합한 최종 추정 손익계산서는 다음과 같다.

[표 6-10] Income Statement

(단위: \$M)

Income statement	2021A	2022A	2023A	2024A	2025A	2026E	2027E	2028E	2029E	2030E
Total Revenue	2,988	3,562	4,090	4,641	5,297	6,181	7,181	8,309	9,582	11,023
YoY		19.2%	14.8%	13.5%	14.1%	16.7%	16.2%	15.7%	15.3%	15.0%
CORE EDA	2,271	2,708	3,108	3,273	3,703	4,321	5,027	5,834	6,754	7,803
IP	388	427	493	605	743	875	1,031	1,214	1,430	1,684
SD&A	329	427	489	762	850	985	1,123	1,261	1,398	1,536
Operating expenses	2,209	2,488	2,839	3,291	3,805	4,206	4,795	5,480	6,262	7,129
Income from operations	779	1,074	1,251	1,351	1,492	1,975	2,386	2,829	3,320	3,894
OPM	26.1%	30.1%	30.6%	29.1%	28.2%	32.0%	33.2%	34.0%	34.6%	35.3%
Interest expense	17	23	36	76	117	117	117	117	117	117
Other income, net	6	-5	67	121	147	147	147	147	147	147
EBT	768	1,045	1,282	1,396	1,522	2,005	2,416	2,859	3,350	3,924
Tax expense	72	196	241	340	413	395	526	639	773	895
Tax rate	9.4%	18.8%	18.8%	24.4%	27.1%	19.7%	21.8%	22.4%	23.1%	22.8%
Net Income	696	849	1,041	1,055	1,109	1,610	1,890	2,220	2,577	3,029
NPM	23.3%	23.8%	25.5%	22.7%	20.9%	26.1%	26.3%	26.7%	26.9%	27.5%

4. Valuation - Historical PER method

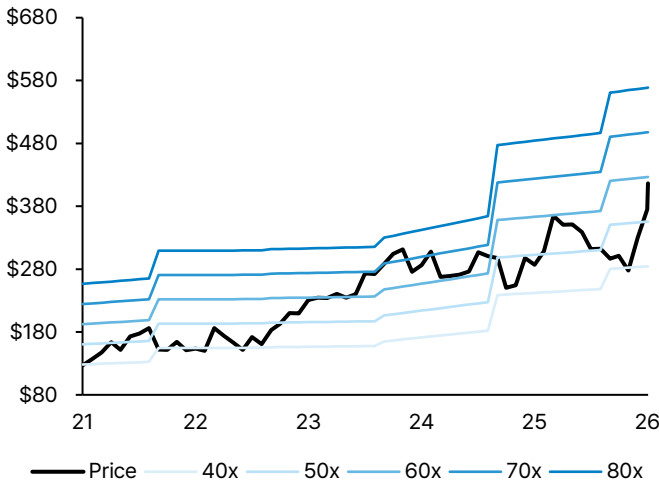
본 보고서는 동사의 Valuation 방식으로 Historical PER method를 사용하였다. 동사의 매출은 고객사 R&D 확대와 EDA 침투율 상승이라는 큰 방향성은 확인 가능하지만, 2028년 이후 AI ASIC 확산과 Agentic AI 사용량 증가가 각 사업부 실적으로 얼마나 반영될지는 아직 정밀하게 추정하기 어렵다. 따라서 본 보고서는 2028년 이후 추정을 무리하게 반영하기보다, 가시성이 높은 2027년 EPS를 기준으로 시장이 과거 동사의 이익에 부여해온 Multiple을 적용하는 방식이 더 적합하다고 판단하였다.

Peer PER 단독 적용도 한계가 있다. 동사의 가장 직접적인 Peer는 Synopsys이나, Synopsys는 Ansys 인수 이후 비용 구조와 재무 부담이 달라졌고 통합 과정에서 단기 실적이 왜곡될 수 있다. 따라서 현재 Peer 배수를 적용하기보다, 동사의 반복매출 구조·고객 락인 등 BM에 대해 시장이 과거에 부여해온 Historical PER을 기준으로 삼는 것이 더 적절하다고 판단하였다.

PER을 선택한 이유는 동사의 가치가 장부가치보다 이익 창출력에 의해 결정되기 때문이다. EDA는 반복계약 비중이 높고 고객 유지율이 95%를 상회하는 소프트웨어 사업으로, 설계 프로젝트 증가와 사용강도 상승이 매출과 이익으로 연결되는 구조다. 따라서 PBR보다 PER이 AI ASIC 확대, EDA 사용량 증가, 영업 레버리지에 따른 이익 증가를 더 직접적으로 반영한다.

Target PER은 12MF PER band 상단인 74배를 적용하였다. 2027E EPS는 고객사 R&D 성장률과 EDA 침투율 등 수치로 확인 가능한 변수에 한정해 보수적으로 산정하였다. AI ASIC 확산, 선단공정·Chiplet 확대에 따른 설계 복잡도 상승, Agentic AI 도입에 따른 톨 사용량 증대는 동사의 중장기 성장성을 높이는 요인이나, 현재 실적 추정치에는 이를 공격적으로 반영하지 않았다. 이는 아직 매출 및 이익 기여도를 단정하기 어려운 요인들을 EPS에 선반영하기보다는 확인 가능한 변수 중심으로 실적 추정의 보수성을 유지하기 위함이다. 다만 해당 요인들이 동사의 성장 국면 변화를 뒷받침하고 향후 이익 추정치 상향 가능성을 높인다는 점에서 밸류에이션에는 일정 수준의 프리미엄 반영이 타당하다고 판단하였다. 이에 따라 과거 12MF PER band 내 상단인 74배를 Target PER로 적용하였다.

상기 논의를 종합하여 2027E EPS \$6.98을 1년 할인한 12MF 기준 EPS \$6.39에 Target PER 74배를 적용해 적정주가 \$474을 산출하였다. 현재주가 \$416 대비 상승여력은 13.7%로 매수 의견을 제시한다.



Summary		
2027E Net Income	\$mm	1,890
Outstanding shares	mm	271
2027E EPS (할인적용)	\$	6.39
Target Muptiple		74
Target Price	\$	474
Current Price	\$	416
Upside		13.7%

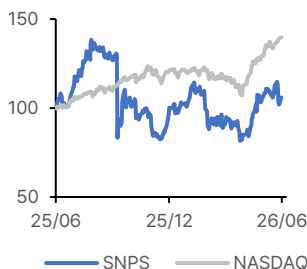
Synopsys(SNPS, NASDAQ)

2026. 06. 02

Rating

투자의견	BUY
목표주가	NR
현재주가	\$508
상승여력	NR

Price Trend



B/S Data

자산 총계(2025)	\$48,224M
부채 총계(2025)	\$19,897M
자본 총계(2025)	\$28,327M

칩중팔구

VIOS 19기 김호진
VIOS 18기 이민석
VIOS 20기 안도은
VIOS 20기 홍승기

ED YA Ho~

EDA 구조적 성장의 차선후주

AI CAPEX의 다음 국면은 **Cloud**에서 **Edge**로 확장되는 추론 수요와 반도체 설계 복잡도 증가에 있다. 이에 따라, 기기·용도별 ASIC 수요가 늘어나고, 선단공정이 확대되면서 EDA 산업 수혜가 부각되고 있다. EDA 과점 구조의 수혜를 공유하면서도 Ansys 인수 이후 중장기 포트폴리오 확장 여지와 Agentic AI 기반 설계 자동화 대응력을 보유한 Synopsys(SNPS, NASDAQ)를 업종 내 차선후주로 제시한다.

글로벌 EDA 과점 사업자

Synopsys(이하 SNPS)는 반도체 설계에 필요한 **EDA**, 반도체 **IP**, **소프트웨어 보안** 및 **시스템 설계 솔루션**을 제공하는 **글로벌 설계 자동화 기업**이다. 동사는 Cadence와 함께 글로벌 EDA 시장을 과점하고 있으며, 디지털 설계 영역에서 강점을 보유하고 있다.

Ansys 인수, 시스템 설계 플랫폼으로 확장

Ansys 인수를 통한 중장기 포트폴리오 확장을 마쳤다. 이는 칩 설계 중심의 EDA 기업에서 시스템 설계·해석까지 포괄하는 플랫폼으로 확장시키는 계기가 될 전망이다. Ansys의 역량이 Synopsys의 EDA와 결합될 경우, 고성능 AI 반도체와 2.5D/3D 패키징 설계에서 칩·패키지·보드·시스템을 함께 최적화하는 경쟁력이 강화될 것으로 판단한다.

Agent AI와 멀티벤더 수요의 기회

2026년 3월 **Agent AI**를 공개하며 설계 자동화 경쟁에 진입했다. Cadence 대비 후발주자라는 한계는 있으나, 고객 입장에서는 전체 툴체인을 단일 업체에 전적으로 의존하는 것이 편중 리스크로 작용할 수 있다. 따라서 SNPS는 멀티벤더 전략을 선호하는 고객 수요를 기반으로 AI 설계 자동화 시장의 성장 수혜를 공유할 것으로 판단한다.

구분	매출액 \$mm	영업이익 \$mm	순이익 \$mm	RPO \$bn	EPS \$	증감율 %	P/E (배)	EV/RPO (배)	Rev/Emp (배)
2023	5,318	1,273	1,230	29.9	8.1		64x	2.62x	2.62x
2024	6,127	1,356	2,263	32.1	14.8	82.8%	33x	2.31x	3.06x
2025	7,054	1,464	1,332	37.3	8.1	-45.1%	58x	2.43x	2.52x
2026F	9,665	1,100	520	51.1	3.2	-61.0%	160x	1.83x	3.03x
2027F	10,704	1,700	1,200	56.7	7.3	130.8%	69x	1.65x	2.94x

VII. Appendix

7.1. Balance Sheet

(단위: \$M)

Balance Sheet	2021A	2022A	2023A	2024A	2025A
Cash and cash equivalents	1,089	882	1,008	2,644	3,001
Receivables, net	338	487	489	680	945
Inventories	116	128	182	258	304
Prepaid expenses and other	174	210	297	434	420
Total current assets	1,716	1,707	1,976	4,016	4,670
Property, plant and equipment, net	306	371	403	458	517
Goodwill	928	1,374	1,536	2,379	2,749
Acquired intangibles, net	233	355	337	595	718
Deferred taxes	764	854	880	982	918
Other assets	439	476	537	545	581
Total assets	4,386	5,137	5,669	8,974	10,153
Revolving credit facility	0	100	0	0	0
Current portion of long-term debt	0	0	349	0	0
Accounts payable and accrued liabilities	417	557	577	633	857
Current portion of deferred revenue	554	691	665	737	778
Total current liabilities	971	1,348	1,591	1,370	1,635
Long-term portion of deferred revenue	101	92	99	115	156
Long-term debt	348	648	300	2,476	2,480
Other long-term liabilities	226	305	276	339	408
Total debts	1,646	2,392	2,265	4,301	4,679
Preferred stock	0	0	0	0	0
Common stock and capital in excess of par value	2,468	2,766	3,167	4,182	4,719
Treasury stock, at cost	(2,740)	(3,824)	(4,604)	(5,310)	(6,344)
Retained earnings	3,046	3,895	4,936	5,992	7,101
Accumulated other comprehensive income(loss)	(33)	(92)	(95)	(190)	(2)
Total stockholders' equity	2,741	2,745	3,404	4,674	5,474
Total liabilities and stockholders' equity	4,386	5,137	5,669	8,974	10,153

44

(단위: \$M)

미국	2021A	2022A	2023A	2024A	2025A	2026E	2027E
Total	1,636,272	1,785,069	1,890,475	2,158,647	2,519,800	3,191,264	3,859,902
Intel (INTC)	79,024	63,054	54,228	53,101	52,853	58,229	64,070
Micron (MU)	27,705	30,758	15,540	25,111	37,378	110,519	180,853
Texas Instruments (TXN)	18,344	20,028	17,519	15,641	17,682	20,982	22,973
Analog Devices (ADI)	7,318	12,014	12,306	9,427	11,020	14,753	16,848
Microchip Technology (MCHP)	6,821	8,439	7,634	4,402	4,713	6,140	7,056
NVIDIA (NVDA)	26,914	26,974	60,922	130,497	215,938	389,680	550,000
Broadcom (AVGO)	27,450	33,203	35,819	51,574	63,887	103,738	162,177
Qualcomm (QCOM)	33,566	44,200	35,820	38,962	44,284	42,381	42,350
AMD (AMD)	16,434	23,601	22,680	25,785	34,639	49,299	73,418
Marvell (MRVL)	4,462	5,920	5,508	5,767	8,195	11,463	16,504
Cirrus Logic (CRUS)	1,782	1,898	1,789	1,896	1,997	2,087	2,170
Lattice Semiconductor (LSCC)	515	660	737	509	523	750	900
Apple (AAPL)	365,817	394,328	383,285	391,035	416,161	478,028	514,903
Alphabet (GOOGL)	257,637	282,836	307,394	350,018	402,836	485,474	575,330
Amazon (AMZN)	469,822	513,983	574,785	637,959	716,924	825,286	932,467
Microsoft (MSFT)	168,088	198,270	211,915	245,122	281,724	329,216	383,468
Meta (META)	117,929	116,609	134,902	164,501	200,966	253,144	301,936
GlobalFoundries (GFS)	6,585	8,108	7,392	6,750	6,791	7,224	8,011
Credo (CRDO)	59	107	184	193	437	1,329	2,331
Astera Labs (ALAB)		80	116	396	852	1,542	2,137

(단위: 십억원, \$M)

한국	2021A	2022A	2023A	2024A	2025A	2026E	2027E
Total(달러환산)	1,545,625	1,663,875	1,398,890	1,756,678	2,058,680	4,758,071	6,102,150
Total(현지통화)	325,784	350,709	294,856	370,270	433,926	1,002,899	1,286,202
Samsung Electronics (005930)	279,605	302,231	258,935	300,871	333,606	675,046	839,234
DB하이텍 (000990)	1,215	1,669	1,154	1,131	1,397	1,601	1,731
SK Hynix (000660)	42,998	44,622	32,766	66,193	97,147	324,326	443,102
LX세미콘 (108320)	1,899	2,119	1,901	1,866	1,639	1,595	1,659
아나패스 (123860)	48	43	71	182	108	300	439
칩스앤미디어 (094360)	20	24	28	27	28	31	37

(단위: 십억원, \$M)

대만	2021A	2022A	2023A	2024A	2025A	2026E	2027E
Total(달러환산)	70,221	93,012	85,663	113,258	145,243	162,226	205,299
Total(현지통화)	2,177	2,883	2,656	3,511	4,503	5,029	6,364
TSMC (TSM)	1,587	2,264	2,162	2,894	3,809	5,029	6,364
Nanya Technology (2408)	86	57	30	34	67		
MediaTek (2454)	493	549	433	531	596		
Alchip (3661)	10	14	30	52	31		

(단위:\$M)

영국/미국 ADR	2021A	2022A	2023A	2024A	2025A	2026E	2027E
Arm (ARM)	2,703	2,679	3,233	4,007	4,920	5,974	7,936

7.4. DCF Valuation

FCFF valuation	2021A	2022A	2023A	2024A	2025A	2026F	2027F	2028F	2029F	2030F
Step 1 > FCFF 추정										
Total Revenue	2,988	3,562	4,090	4,641	5,297	6,181	7,181	8,309	9,582	11,023
YoY		19%	15%	13%	14%	17%	16%	16%	15%	15%
Operating Income	779	1,074	1,251	1,351	1,492	1,975	2,386	2,829	3,320	3,894
OPM	26%	30%	31%	29%	28%	32%	33%	34%	35%	35%
Tax rate	9%	19%	19%	24%	27%	20%	22%	22%	23%	23%
NOPAT	706	872	1,016	1,021	1,087	1,586	1,867	2,196	2,554	3,006
(+)D&A(감가상각비)	142	132	145	197	228	254	286	336	396	454
(+) Stock based compensation	210	270	326	391	455	514	575	636	697	758
(-) Change in NWC(운전자본 변화량)		-79	150	275	31	-424	20	59	19	-114
(-) Capex		738	301	880	571	596	700	801	929	1,063
Free Cash Flow to Firm(FCFF)		615	1,036	454	1,167	2,183	2,007	2,308	2,700	3,268
할인기간						1	2	3	4	5
할인계수						0.92	0.84	0.77	0.70	0.64
FCFF의 현재가치						1,998	1,682	1,771	1,896	2,101
Step 2 > Terminal value 추정										
Terminal FCFF		3,366						3,366		
WACC		9.2%						6.3%		
영구성장률		3%						3%		
Terminal value		53,952						100,966		
할인기간		5						5		
할인계수		0.64						0.74		
Terminal Value의 현재가치		34,684						74,273		
Step 3 > Valuation										
추정기간 FCFF의 현재가치의 합		9,448						9,448		
(+) Terminal Value의 현재가치		34,684						74,273		
영업기업가치		44,132						83,720		
(+) 현금 및 단기투자성자산		3,001						3,001		
(+) 기타 비영업자산		581						581		
전체기업가치		47,715						87,303		
(-) 총차입금		2,480						2,480		
(-) 비지배주주지분		0						0		
(+) 스톡옵션행사대금		455						455		
주주가치		45,690						85,278		
(/) 희석주식수		271						271		
적정주가(\$)		168						314		
현재주가(\$)		416						416		
상승여력(%)		-60%						-25%		

Step 2 > Terminal value 추정										
Terminal FCFF		3,366						3,366		
WACC		9.2%						6.3%		
영구성장률		3%						3%		
Terminal value		53,952						100,966		
할인기간		5						5		
할인계수		0.64						0.74		
Terminal Value의 현재가치		34,684						74,273		
Step 3 > Valuation										
추정기간 FCFF의 현재가치의 합		9,448						9,448		
(+) Terminal Value의 현재가치		34,684						74,273		
영업기업가치		44,132						83,720		
(+) 현금 및 단기투자성자산		3,001						3,001		
(+) 기타 비영업자산		581						581		
전체기업가치		47,715						87,303		
(-) 총차입금		2,480						2,480		
(-) 비지배주주지분		0						0		
(+) 스톡옵션행사대금		455						455		
주주가치		45,690						85,278		
(/) 희석주식수		271						271		
적정주가(\$)		168						314		
현재주가(\$)		416						416		
상승여력(%)		-60%						-25%		

7.5. DCF Valuation 해석

본 보고서는 PER Valuation을 주 방법론으로 사용하였으나, DCF도 보조적으로 수행하였다. DCF 기준 적정주가는 \$170로 산출되어 현재주가 \$416 대비 현저하게 낮은 수준이다. 투자자에게 동사의 주가가 고평가라는 오해를 불러일으킬 수 있다. 다만 이는 매출 및 현금흐름 추정이 보수적이기 때문이라기보다, CAPM으로 산출한 9%대 WACC가 동사의 사업 안정성을 충분히 반영하지 못한 결과라고 판단한다.

동사가 일반 CAPM보다 낮은 할인율을 적용받을 수 있는 이유는 현금흐름의 가시성이 높기 때문이다. EDA는 반도체 설계 초기부터 파운드리 PDK, 고객 설계 데이터, 검증 환경에 깊게 결합된다. 고객 입장에서는 설계 프로젝트 도중 톨을 교체할 경우 재검증 비용과 일정 지연 리스크가 발생하기 때문에 한 번 채택한 EDA 톨을 쉽게 바꾸기 어렵다. 이로 인해 동사는 높은 반복 매출 비중과 95%를 상회하는 고객 유지율을 유지해왔으며, 경기 변동에도 현금흐름의 변동성이 상대적으로 낮다.

또한, CDNS의 12MF PER은 일시적 비용이 발생한 변동 구간을 제외하면 하단이 30배 수준에서 형성되어 왔다. PER은 결국 이익 1달러에 대해 시장이 얼마를 지불하는지를 의미하며, 역사적 PER 하단 30배를 영구성장률 3%와 연결해 단순 역산하면, 시장이 동사에 부여한 요구수익률은 약 6.3% 수준이다. 이는 본 모델의 WACC 9.1~9.2%보다 약 3%p 낮다.

따라서 DCF에서 산출된 낮은 적정주가는 매출 성장률이나 현금흐름 추정의 문제라기보다 CAPM 방식으로 산출한 할인율이 동사의 반복 매출 구조와 고객 락인, EDA 과점 지위를 충분히 반영하지 못한 결과로 해석된다. 이에 따라 본 보고서는 DCF 결과를 최종 목표가 산정 기준으로 사용하기보다 할인율 민감도를 확인하는 보조 지표로 활용하였다.

민감도 분석(WACC 9.2%)

		WACC				
		7.2%	8.2%	9.2%	10.2%	11.2%
배출 성장률	2.0%	208	174	150	131	117
	2.5%	226	186	158	138	122
	3.0%	249	201	168	145	127
	3.5%	278	219	180	153	133
	4.0%	315	240	194	163	140

민감도 분석(WACC 6.3%)

		WACC				
		4.3%	5.3%	6.3%	7.3%	8.3%
배출 성장률	2.0%	470	327	251	204	172
	2.5%	588	378	279	221	183
	3.0%	793	450	314	241	196
	3.5%	1,244	562	363	268	212
	4.0%	3,050	758	432	302	232

7.6. 1GW 데이터센터 TCO 모델

입력항목	값	단위
IT 부하	1000	MW
랙당 전력	120	kW/rack
랙당 GPU 수	72	GPU/rack
PUE	1.14	배
가동률	75%	%
연간 시간	8,760	hours
전력단가	\$0.0834	\$/kWh
총 CAPEX	\$38,000,000,000	\$
서버 CAPEX	\$20,833,333,333	\$
네트워크 CAPEX	\$5,000,000,000	\$
시설/전력/냉각/기타 CAPEX	\$12,166,666,667	\$
서버/네트워크 CRF	24%	%
시설 annualized capital cost	\$1,400,000,000.00	\$/yr
서버 annualized capital cost	\$5,000,000,000.00	\$/yr
네트워크 annualized capital cost	\$1,200,000,000.00	\$/yr
총 Annual OpEx	\$900,000,000.00	\$/yr
Base GPU 임대단가	\$3.00	\$/GPU-hour
Software attach	10%	%
세율	21%	%
IT 내용연수	5	years
시설 내용연수	14	years
연간 TCO target	\$8,500,000,000	\$/yr

자료: 미래에셋증권 추정, VIOS